

동시 스위칭 환경에서 V_{DD}/V_{SS} Pin 수의 최소화를 위한 연구

배 윤 정[†] · 이 윤 옥^{††} · 김 재 하^{†††} · 김 병 기^{††††}

요 약

본 논문은 설계의 초기 단계에서 동시 스위칭 잡음의 허용 범위를 벗어나지 않는 최적의 V_{DD}/V_{SS} 패드 수를 결정하기 위한 경험적 분석 방법을 제안한다. 현재까지는 설계의 각 단계에서 패키지 모델에 따라 시뮬레이션을 하거나 전형적 설계 규칙에 따라 대충 핀을 배치하는 부정확한 방법을 사용하여 V_{DD}/V_{SS} 패드 수를 결정해왔다. 그러나 IC 기술이 고밀도화, 고속화되는 추세에서 이러한 방법은 IC 동작에 부정적인 영향을 미치게 된다. 따라서 더욱 정밀하고 효율적인 방법이 필요하다. 본 논문에서는 설계 초기 단계에서 패키지 설계에 실질적인 도움을 줄 수 있는 해석적 V_{DD}/V_{SS} 패드 계산 방법을 제안한다. 제안된 방법을 $1/8 \times 208$ 핀 PQFP에 적용한 후 HSPICE를 이용하여 결과를 검증하였다.

A Study on Minimizing the Number of V_{DD}/V_{SS} Pins in Simultaneous Switching Environment

Yun-Jeong Bae[†] · Yun-Ok Lee^{††} · Jae-Ha Kim^{†††} · Byung-Gi Kim^{††††}

ABSTRACT

This paper provides a heuristic analysis technique which determines an optimal number of V_{DD}/V_{SS} pads meeting allowable Simultaneous Switching Noise(SSN) budget, early in the design phase. Until now, in determining the number of V_{DD}/V_{SS} pads, designers had to simulate packaging models case by case in the design phase or roughly allocate the power/ground pins in an inaccurate way according to typical design rules. However, due to the high density and frequency trends of IC technologies, the V_{DD}/V_{SS} pads allocation method can affect an adverse effect on IC operations, which requires more accurate and efficient methods be devised. Thus, this paper proposes an analytic V_{DD}/V_{SS} pads calculation method that gives a practical help for packaging designs early in the design phase. The proposed method is applied to a design example of a $1/8 \times 208$ pin plastic quad flat package(PQFP) and the results are verified through simulation using HSPICE.

1. 서 론

IC 기술이 점차 고집적화와 고주파수화 경향을 띠게 되면서 V_{DD}/V_{SS} 핀 수 및 배치 문제가 IC의 동작 및

성능에 큰 영향을 미칠 수 있는 설계 요소가 되고 있다. 지금까지는 이 V_{DD}/V_{SS} 핀 개수를 결정하기 위해서 사례별로 설계 단계마다 직접 시뮬레이션을 수행하거나 대강의 설계 규칙에 따라 기계적으로 핀 수를 할당하는 부정확한 방법을 택해온 것이 사실이다. 그러나 칩내 기능의 증가에 따른 신호 핀수에 대한 요구 증가의 수용을 위해서는 정확하고 효율적인 V_{DD}/V_{SS} 핀 수 결정[1] 및 배치 기법을 갖추어야 한다.

본 논문에서는, 동시 스위칭 잡음을 허용 잡음 전압

* 이 논문은 1997년도 한국학술진흥재단의 학술연구조성비(반도체 분야)에 의하여 연구되었음.
† 준 회원 : 한국정보공학 응용개발사업부
†† 준 회원 : 두루넷 포탈기획팀
††† 정 회원 : 컴팩코리아(주) 책임컨설턴트
†††† 종신회원 : 숭실대학교 컴퓨터학부 교수
논문접수 : 2000년 4월 26일, 심사완료 : 2000년 6월 19일

이내로 수용하는 최소 V_{DD}/V_{SS} 핀의 개수를 패키징 설계 초기 단계에 결정하는 경험적인 분석 기법이 연구되고 있다. 또한, 현재의 고성능 집적 회로는 대량의 드라이버가 동시에 스위칭하는 경향을 증가시켰다. 이렇듯, 동시 스위칭하는 드라이버들은 주로 패키지 기생성분에서 기인한 ground/power 버스상의 전압 과다로 인해 발생하게 되고, 수신측상에 스위칭 오류를 일으킬 수도 있다. 동시 스위칭 잡음(SSN)[2]에 의해 발생하는 수신 측의 스위칭 오류를 막기 위한 방법중 하나가 다층 그라운드 경로로 패키지를 설계하는 것이다. 이러한 방법은 그라운드 경로상의 유효 인덕턴스를 감소시킬 수 있다. 그러나, 패키지 비용을 줄이기 위해서는 총 리드 수가 조절되어야 한다. 따라서, 패키지 설계자가 지연과 패키지 기생성분을 최소화할 수 있도록 설계 초기 단계에서 미리 명시된 스위칭 잡음 기준에 도달하기 위한 ground/power 핀 수 계산[3]에 대한 설계 알고리즘이 필요하다.

2. 연구배경

고성능 집적회로의 고집적화와 고속화로 인해 패키징 기술의 중요성이 점차 증대되고 있다. 고성능 시스템의 경우 신호 전송에 필요한 시간은 패키지에 의한 기생성분에 의해 제한된다.

현재 이들 패키지 기생 성분을 예측하고 V_{DD}/V_{SS} 핀 개수를 결정하는 데는 많은 기법들이 사용되고 있다. 이들 기법들을 대별해 보면 세 가지 방식으로 분류할 수 있다. 즉, 설계 과정에서 직접 시뮬레이션을 수행하는 방법과 대수식을 이용하는 분석적인 방법, 그리고 각 ASIC vendor들의 설계 규칙을 따르는 방법 등이다. 그러나, 첫 번째 시뮬레이션 방법은 설계시마다 매번 시뮬레이션을 수행할 경우 시간이나 경비 면에서 너무나 낭비가 크고 패키징 구조의 모형화가 선행되어야 수행할 수 있다는 단점이 있다. 두 번째 분석적 방법은 개념상 이해를 돕는 수준을 넘어 설계 규칙으로 삼기에는 결과치의 오차가 크고 회로 모형이 너무 단순하다는 부족함이 있다[3]. 세 번째 방식은 동시 스위칭 잡음의 영향을 정확하게 분석한 결과식으로 보기 어렵다는 문제점들을 내포하고 있다[4, 5].

실제 설계 과정에서 분석적인 방법만을 사용한다거나 시뮬레이션을 통해서만 설계를 결정한다는 것은 현실적으로 매우 어려울 뿐만 아니라, 부정확한 결과를

초래하거나 경비 및 효율면에서 좋지 않은 방식이다. 따라서, 시뮬레이션과 분석적인 방법을 결합함으로써 각 패키지 모형에 대한 시뮬레이션을 거쳐서 이를 분석한 결과를 라이브러리화하는 일련의 방법론을 구축한다면, 실제 설계 과정에서 패키지 모형을 결정한 후 미리 특성화하여 저장된 대수식을 통하여 정확한 잡음 예측과 이에 따른 설계 규칙을 간단하게 정의할 수 있게 될 것이다.

현재 사용되고 있는 두 주요 매개 변수는 V_{DD}/V_{SS} 핀의 전류 변화율과 그라운드 핀 체계의 단일 등가 인덕턴스이다. 그러나 이 두 변수에 대해 너무 단순화한 모형을 사용함으로써 실제 잡음 전압값과는 커다란 차이를 보인다. 전류 변화율의 대체적인 경향은 정의할 수 있지만, 현재의 분석적인 방법들이 정의하는대로 전류 변화율을 고정하고서 잡음 전압 값을 예측할 경우 무시할 수 없는 오차가 발생한다.

3. 이 론

3.1 동시 스위칭 잡음(Simultaneous Switching Noise)

동시 스위칭 잡음(SSN, delta-I noise, ground bounce)은 내부 게이트와 출력 드라이버들이 동시에 스위칭할 때 전력 분배망을 통하여 공급되는 전류가 변함에 따라, 도체에 내재한 인덕턴스에 기인한 전압 강하 때문에 발생하는 칩 내부 공급 전압 및 그라운드 전위상의 전압 오류로서, 내부 게이트 및 입출력 드라이버에 인가되는 공급 전압을 감소시키는 결과를 초래한다. 최근, 칩의 크기가 줄고 I/O 단자 수가 늘어남에 따라 I/O 회로를 포함한 IC 전체의 용량성 부하가 증가하게 되었다. 반면에 회로의 속도는 지속적으로 향상되고 있는데, 이는 커패시턴스를 충전하고 방전하는데 필요한 평균 전류와 평균 변화율(dI/dt)이 모두 증가함을 의미하며, 결국 동시 스위칭 잡음이 칩 성능을 결정하는데 있어서 중요한 부분을 차지하게 되었다.

게이트의 갑작스런 전류 변화에 대해, 가급적 인덕터를 통하여 공급 전압으로부터 전류를 공급 받는 대신에 중간에 캐패시터들을 도입으로써 캐패시터들이 게이트에 순간적으로 전류를 공급하게 해주면 $L \cdot \frac{di}{dt}$ 전압 강하를 줄여서 그라운드 바운스 현상을 줄일 수 있다. 동시 스위칭 잡음(SSN)은 일반적으로 세 가지 방식으로 회로에 영향을 미칠 수 있다[6]. 첫째, SSN은 칩간의 시간 지연을 증가시킬 수 있다. 둘째, 수신 칩에서 논리적 동작에

영향을 미칠 수 있다. 셋째, 송신 칩 내부의 게이트들에 영향을 미칠 수 있다. 통상적인 설계 규칙에서 전력 공급 체계는 입력 셀, 출력 셀, 내부 셀의 세 종류로 나누어지고 있다. 이들 각 부분에서 동적 전압 변동의 작용은 다르게 설명되는데, 대부분의 경우 칩 성능에 의도하지 않은 악영향을 미칠 수 있다. 입력 셀의 경우, V_{DD} 와 V_{SS} 가 잡음에 의해 변화하게 되면, 트랜지스터의 임계 전압이 변화하고 이는 잡음 여유도의 변화를 초래한다. 출력 셀의 경우, 출력 버퍼가 신호를 칩 외부로 드라이브하게 되면 수신측에서는 송신측 내부와 무관한 전력 공급 시스템을 인식한다. 따라서, 수신측에서는 전력 공급 레벨의 변동을 신호 레벨 상의 잡음으로 인식하게 된다.

내부 셀의 경우, 전류의 회귀 경로를 정확하게 정의하기란 사실상 불가능할 뿐더러, 셀의 수도 너무 많다. 또한, 동시 스위칭 게이트가 매우 많다고 해도 물리적으로 서로 떨어져 있다면 V_{DD}/V_{SS} 경로가 다를 가능성이 크기 때문에 상호 증폭될 염려가 작다. 또한, 각 드라이버의 스위칭 시점이 독립적이라면 전체 평균 전류량은 각각의 전류량 평균치의 합에 근사하므로 전체 전류의 변화율($\frac{di}{dt}$)은 증가하지 않게 된다. 또한, 내부 셀에서 V_{DD} 와 V_{SS} 레벨 상의 전압 변동 효과는 대부분 논리적 고장을 유발하기 보다는 신호의 전파 지연 증가를 가져오는데 그치는 경우가 많다. 왜냐하면, 신호 전달 부분이 공간적으로 지역성(spatial locality)을 갖고 있다면 송신측 전압과 수신측 전압이 동시에 변하게 되고, 이는 잡음의 성격을 띠기는 하지만 마치 전압 스케일링처럼 신호 전달 지연 성분으로 작용할 것이기 때문이다. 그러나 이는 너무 낙관적인 해석이며, 일반적으로는 패드 수 할당 방정식을 마련하여 설계 규칙으로 사용하고 있다.

출력셀 전력 공급 체계에서 잡음 전압의 영향은 입력셀 및 내부셀의 경우와는 다르다. 출력셀의 V_{DD}/V_{SS} 패드 및 핀의 최적 개수를 결정함에 있어서 칩 내부의 잡음보다는 동시에 스위칭하는 출력 버퍼에 의해 야기되는 잡음이 더 중요하다고 할 수 있으며, 출력 셀이 할당받는 전력 패드 수 계산 문제가 비교적 명확히 정의될 수 있다.

출력 셀 외부의 수신측에서 인식하는 잡음은 단순히 시스템 클럭의 동작 주파수를 줄임으로써 해결할 수 있는 것이 아니다. 출력 셀은 다음과 같은 이유로 전력 공급 시스템에서 문제가 되고 있다.

첫째, 출력 셀에서의 구동 전류량이 커짐에 따라 전류 변화율($\frac{di}{dt}$) 또한 상대적으로 커진다.

둘째, 출력 버퍼에서 SSN(Simultaneous Switching Noise)이 발생할 가능성이 존재하므로,

$$V_n = N \frac{di}{dt} \quad (1)$$

(V_n 은 잡음 전압, N 은 동시 스위칭 드라이버 개수)

의 산술적인 합산 크기만큼 영향이 생기게 된다.

셋째, 패드와 출력 셀 간의 직접 연결로 L-행렬과 전류의 회귀 경로가 비교적 쉽게 정의된다.

넷째, 수신측에서 발생할 수 있는 논리적 고장 메카니즘이 내재한다.

이상과 같은 이유로 출력셀은 가장 결정적인 부분으로 취급되는 바, 이 출력 셀로부터 야기되는 잡음을 연구한 다수의 논문들이 발표되고 있다[7].

3.2 패키지 기생성분

패키지 기생성분은 RLC 매개 변수로 표현되는데, 이 중 인덕턴스 L이 가장 결정적인 변수로서 고속 디지털 시스템의 신호에 영향을 미치는 성분이다.

일반적으로 인덕턴스는 자기 인덕턴스(self inductance)와 상호 인덕턴스(mutual inductance)로 구분된다. 패키지 신호 핀의 실효 인덕턴스는 핀 단면의 크기를 증가시키고 그라운드 판에 가능한 가깝게 연결함으로써 줄일 수 있다. 왜냐하면 전류가 흐르는 경로가 그라운드 판에 가까울수록 전류 루프(loop) 면적과 그 내부의 자속이 줄어들기 때문이다.

또한, 인덕턴스 값은 패키징 재료로 사용되는 자성 물질 때문에 주파수에 의존할 수 밖에 없다. 칩 내부 연결선의 인덕턴스로 인한 유도성 리액턴스는 현재 수준의 주파수 대역폭내에서는 대부분의 경우 연결선 저항에 비해 무시할 수 있을 정도로 작다. 그러나, 공정이 계속적으로 축소하고 있고 시스템 속도가 빨라지고 있으므로 결국에는 칩 내부 인덕턴스도 고려해야만 하는 상황이 올 것이다. 와이어 본드나 패키지 핀의 인덕턴스는 현재의 동작 속도 수준에서도 문제가 되고 있으며, 시스템이 고속화될수록 칩의 동작이나 속도에 직접적 영향을 미친다. 이러한 입출력 버퍼와 전력공급 체계의 인덕턴스가 시스템에 미치는 대표적 영향이 바로 동시 스위칭 잡음(simultaneous switching noise)이다.

많은 리드를 가지고 있는 패키지의 경우 그 중 몇 개의 리드는 그라운드 리드로 사용되어 전류 회귀 경로로서 작용하게 된다. 따라서, 그라운드 전위의 연결 통로로 사용되는 리드의 개수가 증가하면 그라운드 시스템 전체의 실효 인덕턴스는 감소하게 된다.

그러나, 전체 패키지 핀 수는 몇 가지 제한 요소들로 인하여 제한된 값을 가지게 되는데, 이러한 제한 요소로 두 가지를 꼽을 수 있다. 첫째로, 칩에 일정한 전류가 공급될 때 전력 공급 경로(V_{DD}/V_{SS}의 분포망, 패드, 와이어 본드 및 핀)상의 저항 성분으로 인하여 전력 공급선을 통과하면서 IR 전압강하가 생기게 된다. 둘째로, 동적인 환경에서, 전력 공급선에 고유한 인덕턴스에 의한 전압의 변동이 생기게 된다. 최근 클럭 주파수가 증가함에 따라 동적 전력 소모가 정적 전력 소모보다 점차 커지고 있다. 따라서, 패드 수는 $L \frac{di}{dt}$ 에 근거한 인덕턴스에 의하여 결정되어야 하며 전체한 조건에 부합하는 그라운드와 전력 공급 핀 수를 계산하여야 한다. 이렇듯 전체 패키지 핀 수가 제한된 값을 가지게 되고, 또한 신호핀 수를 늘리고 패키지 비용을 줄이려는 경향 때문에 그라운드 핀의 개수는 무한정 늘릴 수가 없다. 패키지 핀 수의 제한 요소로 인하여 전력 공급을 위한 패드와 핀 수는 가능한 한 최소로 줄이려는 것이 당연하다. 최소의 그라운드 핀 수를 결정하기 위해서는 유기된 잡음의 최대치를 예측해야 하는데, 이 잡음 전압을 예측하는 분석식으로는 트랜지스터의 매개 변수들로 표현한 2차 근사식을 사용하며, long-channel 소자의 경우는 일반적으로 식 (2)[8]을 이용하고, MOS의 채널 길이가 1μ 이하인(submicron) short-channel 소자의 경우 식 (3)[9]를 사용하고 있다.

$$V_N(t) = V_K + \frac{V_K \cdot t_r}{2V_{DD} \cdot N \cdot L_{eff} \cdot K} \quad (2)$$

$$V_N(t) = S_r n k_{sn} L_{eff} \left[1 - e^{-\frac{(t-t_0)}{n k_{sn} L_{eff}}} \right] \quad (3)$$

식 (2)에서 t_r은 입력 신호의 상승시간(input rise time), V_T는 NMOS의 문턱 전압, K는 NMOS의 전달 컨덕턴스(transconductance), V_K는 V_{DD}에서 V_T를 뺀 값을 나타내고, 식 (3)에서 S_r은 입력 신호의 변화율이 고, k_{sn}은 출력 구동 트랜지스터의 구동력을 나타내는

변수이며, f는 $a_n(V_{in} - V_{TN} - V_N)^{2n-1}$ 을 나타내는 상수이다. L_{eff}는 1차 근사화 할 수 있다. 예를 들어 n개의 그라운드 핀과 m개의 신호 핀이 있을 경우, 실효 인덕턴스는,

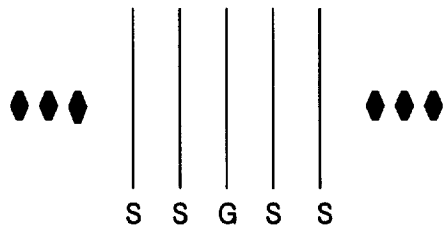
$$\frac{1}{L_{eff}} = \sum_{i=1}^n \frac{1}{L_{g_i}^e} \quad (4)$$

식 (4)에서 L_{g_i}^e는 식 (5)로 주어진다.

$$L_{g_i}^e = \sum_{j=1}^n L_{g_{ij}} \frac{I_{g_j}'}{I_{g_i}'} - \sum_{j=1}^m L_{g_{sj}} \frac{I_{s_j}'}{I_{g_i}'} \quad (5)$$

식 (5)에서 \cdot 는 d/dt 연산자를 뜻하며, L_{g_{ij}}는 그라운드 핀간의 상호 인덕턴스, L_{g_{sj}}는 그라운드 핀과 신호 핀간의 상호 인덕턴스이다. 식 (4) 및 식 (5)의 실효 인덕턴스의 역수는 각 그라운드 핀의 등가 인덕턴스의 역수의 합으로 표현하고, 다시 각 그라운드 핀의 등가 인덕턴스는 각 그라운드 핀의 자기 인덕턴스와 전류 변화율비의 곱을 합한 값에서 그라운드 핀과 신호 핀간의 상호 인덕턴스에 그라운드 핀과 신호 핀간의 전류 변화율비를 곱한 값을 합산한 결과의 차로써 구할 수 있음을 의미한다.

한편 잡음 전압은 핀의 전류 변화율에 비례하는데, 기존의 분석적 방법들을 이 전류 변화율 및 등가 인덕턴스를 가정하는 방식에 따라서 두 가지 접근 방법의 차이를 나눌 수 있다.



(그림 1) 그라운드 핀에 대칭인 n개의 신호핀

첫째, 실효 인덕턴스 값을 결정함에 있어서 (그림 1)처럼 n개의 신호 핀들이 각 그라운드 핀에 대해서 대칭적이라고 가정한다[10]. 그리고, 식 (6)와 같이 그라운드 핀에 대한 신호핀의 전류 변화율을 일정 비율 1/2n로 할당하는 방식이다.

$$L_{eqn} = L_{gg} - \frac{1}{n} L_{1sg} - \frac{1}{n} L_{2sg} - \dots - \frac{1}{n} L_{nsg} \quad (6)$$

식 (6)에서 L_{eqn} 은 한 개의 그라운드 핀에 대칭적인 신호 핀이 2개인 경우의 등가 실효 인덕턴스를 뜻하고, L_{gg} 는 그라운드 핀의 자기 인덕턴스를 나타내며, L_{1sg} , L_{2sg} , L_{msg} 은 각각 그라운드 핀으로부터 첫 번째 신호 핀과 그라운드 핀간의 상호 인덕턴스, 두 번째 핀과 그라운드 핀간의 상호 인덕턴스, 그리고 n번째 신호 핀과 그라운드 핀간의 상호 인덕턴스를 의미한다. 두 번째 방법은 각 그라운드 핀의 전류 변화율은 동일하고, 신호핀의 전류 변화율은 상수로 정하여 연립방정식에 대입함으로써 잡음 전압을 결정하는 방법이다[11].

잡음 전압이 그라운드 체계의 등가 실효 인덕턴스에 비례하고, 이 실효 인덕턴스의 각 성분은 해당 신호 핀의 전류 변화율에 비례한다고 볼 때 이 전류 변화율 값을 어떻게 결정하느냐에 따라서 잡음 전압치는 상당한 차이를 보이게 된다. 그러나, 위의 두 접근 방법은 그라운드 핀과 신호핀의 전류 변화율을 일정한 비율로 본다든지, 아니면 아예 상수로 취급함으로써 잡음 전압 값에 결정적인 오차를 초래할 수 있다. 즉, 위의 방법들은 전류 변화율, 등가 실효 인덕턴스 및 잡음 전압의 관계를 개념적으로 이해하는 데에는 도움이 되지만, 실제의 잡음 전압 예측에서는 정확도가 떨어지게 된다.

이러한 배경들을 고려할 때, 현실적으로 정확한 값을 예측하면서 동시에 경제성과 효율성을 위하기 위한 방법으로서 시뮬레이션과 분석을 결합하여 사용하는 통합된 예측 방법론을 개발할 필요가 있다.

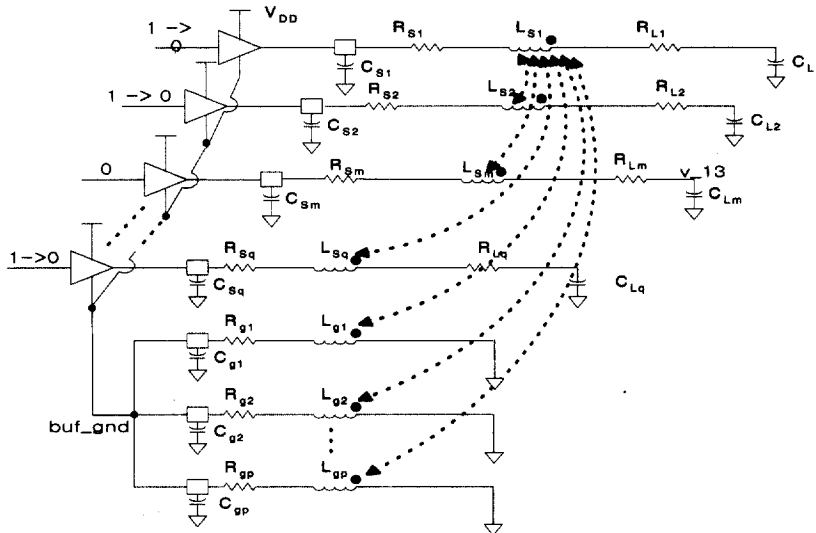
4. 인덕턴스 추출 및 모형화 과정

본 논문에서 택한 기본적인 접근방법은 다음과 같다. 먼저, 전력 공급망을 구성하는 요소(내부 연결 레일, 패드, 와이어 본드, 패키징 핀 등)로부터 전기적인 매개 변수들을 추출한 다음, 이들 추출된 변수들로 전력 공급 체계의 회로 모형을 구성하고 대상 모형에서 어떻게 잡음 전압이 유기되는지를 관찰하는 것이다. 즉, 동시에 스위칭하는 출력 셀의 크기 및 개수와 패드의 위치가 정해지면 잡음 전압이 허용 한계 내에 존재하는지 유기된 잡음 전압을 체크하여 패드의 수를 결정하는 간단한 분석식을 유추함으로써 동일 패키지 모델에 대한 설계시 시뮬레이션을 수행하지 않고 분석식을 이용하여 잡음치를 예측하고 핀 수를 결정하는 것이다.

이러한 과정을 정리하면 다음과 같은 네 단계로 나눌 수 있다.

- (1) 추출 (2) 모형화 (3) 분석 (4) 호출

첫 번째 단계에서, 패키징 핀의 인덕턴스를 측정하는 과정은 마이크로웨이브 이론 분야의 통상적인 주제이며, 패키징 엔지니어들간에 지속적으로 연구되고 있는 분야이다[12]. 사방으로 편들이 정렬되어 패키징되는 QFP (Quad Flat Package)의 핀은 시스템 그라운드가 일정 거리만큼 떨어져 존재하므로 대개 수~수십 nH의 인덕



(그림 2) 출력 셀 그라운드 체계의 회로 모형

턴스 값을 가지고 있다. 이 값을 정확히 측정하기 위해서 여러 측정 방법들이 사용되고 있다. 개념적으로 인덕턴스는 전류의 패 루프에 대해서만 유효하며 전체 루프는 하나의 인덕턴스 값을 할당받는다. 전체 루프의 한 부분인 핀 및 본드 등에 할당된 인덕턴스는 부분(partial) 인덕턴스로서 이 값들이 직렬 연결되어 하나의 단일 루프를 형성하면 전체 인덕턴스가 된다. 따라서, 각 루프의 단일 인덕턴스는 몇 개의 부분 인덕턴스로 나누어진다[13]. 이러한 이론에 근거하여 자기 인덕턴스 및 상호 인덕턴스를 추출하였으며, 그 결과 208pin PQFP(Plastic Quad Flat Package)의 1/8에 해당하는 26×26 크기의 L-행렬을 장 해석기(field solver)를 통하여 얻었다. 이 L-행렬은 26 핀 각각의 자기 인덕턴스와 이들 상호간의 상호 인덕턴스로 이루어진다.

패키지 모형을 구성하기 위하여, 모형화 단계에서 추출된 전기적 변수들을 집중 R-L-C 사다리 모형으로 표현하였다. 구성된 회로 모형은 (그림 2)와 같다.

5. 시뮬레이션 결과 및 분석

수신단에서의 전압 변화를 보이기 위해 그라운드 전압 변화를 (그림 3)에 예시하였다. 총 N개의 패드 중 p개는 그라운드(V_{SS})용으로, q개는 신호용으로 할당되었다고 가정하면, 이 회로 구성에서 유기된 SSN이 가장 커지는 경우는 모든 출력 셀이 '1'에서 '0'으로 천이하는 경우가 된다. 이 때, 버퍼의 그라운드에서 잡음 전압을 측정하여 유기된 동시 스위칭 잡음을 측정하였다. 입력 신호의 천이 시간은 2ns로 하였으며, 통상적인 패키징 모형의 시뮬레이션보다 실제에 가까운 정확한 결과를 얻기 위하여 복잡하지만 저항과 커패시턴스를 추출하여 포함하였고, 신호 전송 경로는 5cm의 PCB 전송선 모형으로 구현하였다. 여기에 사용된 출력 셀은 4mA 버퍼이고, BUF_GND는 ground pin에서의 전압(V_n)이고 tri3은 신호 핀에서의 전압이다. 이와 같은 방법으로 V_{DD}/V_{SS} 핀 수를 1개부터 점진적으로 늘려가면서 반복적으로 시뮬레이션을 수행하였을 때, 얻은 결과를 <표 1>에 나타내었다. <표 1>에서 보면, 만일 최대 허용된 전압 잡음이 1V 이내라면 전력 및 그라운드 핀을 10개 이상 할당해야 함을 알 수 있다.

<표 1> 시뮬레이션 수식으로 구한 V_n의 비교

V _{DD} /V _{SS} 핀 수(P)	신호핀수(Q)	수식결과(V _n)	시뮬레이션 결과(V _n)
1	25	3.0529	2.9526
2	24	2.4497	2.4787
3	23	2.0968	2.0771
4	22	1.8464	2.02
5	21	1.6522	1.6394
6	20	1.4935	1.5413
7	19	1.3594	1.3442
8	18	1.2432	1.2533
9	17	1.1407	1.1334
10	16	1.049	1.0605
11	15	0.966	0.9689
12	14	0.8903	0.966
13	13	0.8206	0.6254

일반적으로 V_{DD} 핀 수보다 적게 할당할 수 있는데, 그 이유는 여러 레벨의 디커플링 커패시터를 사용하게 되고, 동적 충전 전류가 필요할 때 디커플링 커패시터에서 저장된 전하가 제공되므로 전력 공급 체계 및 그에 수반되는 인덕턴스 경로를 우회하여 전류가 공급되기 때문이다. 즉, 디커플링 커패시터가 출력 셀 주변에 근접해 있고, 이러한 커패시터가 다음의 식 (7) 및 식 (8)을 만족한다면, 고주파 전류는 외부에서 V_{DD} 핀을 통해서 거의 유입되지 않고, 디커플링 커패시터에 충전된 전하에 의해 대부분 공급되므로 패키지 인덕턴스의 영향이 줄어들게 된다. 흔히 디커플링 커패시터의 값은 식 (7) 및 식 (8)을 만족하는 최소치로 결정한다.

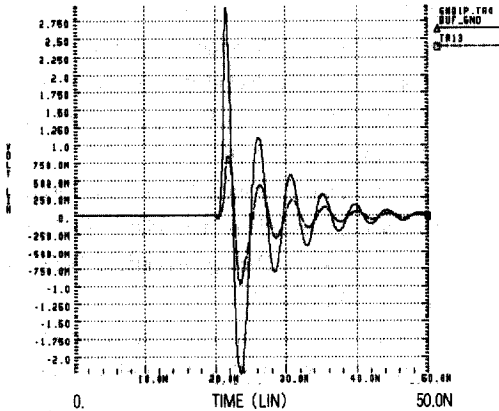
동적 환경에서, C_D · ΔV ≥ ΔI · Δt 이어야 하므로,

$$C_D \geq \frac{\Delta I \cdot \Delta t}{\Delta V} \quad (\text{동적환경}) \quad (7)$$

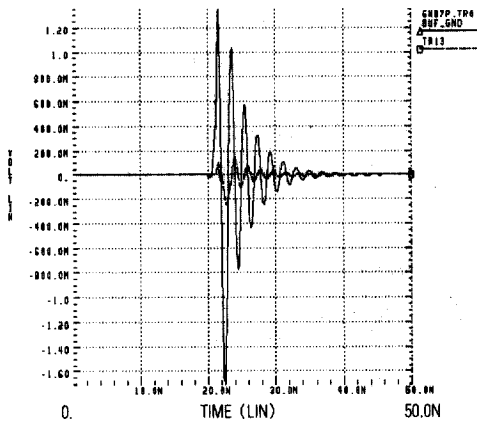
또한 정적 조건에서는 C_D · V_{DD} ≥ (V_{DD} - ΔV) · (C_D + C_{int} + C_L) 이어야 한다. 즉,

$$C_D \geq \frac{(V_{DD} - \Delta V) \cdot (C_{int} + C_L)}{\Delta V} \quad (\text{정적환경}) \quad (8)$$

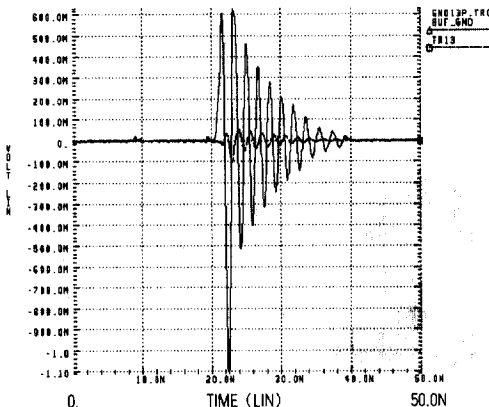
식 (7) 및 식 (8)에서 ΔV는 허용 전압 변동폭을 말하며 0.1V_{DD} 정도이고, Δt는 본 실험의 경우에는 2ns, C_D는 디커플링 커패시터의 커패시턴스, C_{int}와 C_L는 각각 연결선과 부하 커패시턴스이다.



(1) V_{DD}/V_{SS} 핀 수 = 1



(7) V_{DD}/V_{SS} 핀 수 = 7



(13) V_{DD}/V_{SS} 핀 수 = 13

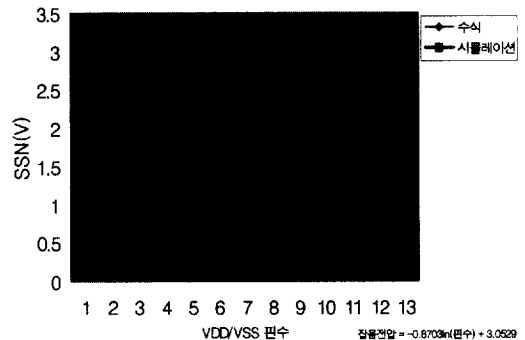
(그림 3) 그라운드 핀 수에 따른 잡음 전압(V_n)의 변화

한편, 실제 HSPICE 시뮬레이션을 수행한 결과인 <표 1>로부터 (그림 4)와 같은 잡음 전압과 V_{DD}/V_{SS} 핀 수간의 관계를 얻을 수 있다. 그림에서 보듯이 $SSN(V_n)$ 은 V_{DD}/V_{SS} 핀 수가 증가함에 따라 단조적으로 감소한다는 것을 알 수 있다. 이는 그라운 핀이 증가함에 따라 3장에서 언급했던 전류의 순간변화율과 유효 인덕턴스의 값이 감소하기 때문이다. 따라서, 본 논문에서는 curve-fitting 방법을 사용하여 수식으로 나타내었고, 그 수식은 다음과 같다.

$$V_n = -0.8703 \ln(P) + 3.0529 \quad (9)$$

식 (9)에서 보듯이 curve-fitting에 사용한 함수는 로그 함수이고, P는 V_{DD}/V_{SS} 핀의 개수이다. 예를 들어 V_{DD}/V_{SS} 핀 수가 2개일 경우 위 식의 P에 8(4면이 있으므로 4×2)을 대입하면 V_n 은 1.2432V이고, 이 값은 시뮬레이션 결과인 1.2533V와 거의 근사한 값이며, 평균상대 오차는 약 2.48%이고, 대부분의 실험에서 7%이하의 상대오차를 보였다.

<표 1>에서 시뮬레이션 결과와 수식 결과 값 사이의 오차는 사실상 오차로서의 의미보다는 신호 핀과 그라운드 핀의 기하 구조의 차이에 따른 전류 분포의 변동이라고 보는 것이 오히려 정확할 것이다. 따라서, 수식을 이용한 결과치가 실제 시뮬레이션 결과와 매우 근사하다는 결론을 내릴 수 있다.



(그림 4) V_{DD}/V_{SS} 핀 수에 따른 잡음 전압 변화

6. 결론

본 논문에서는 정확한 잡음 전압 예측과 손쉬운 핀 수 계산에 대한 새로운 V_{DD}/V_{SS} 핀 수 결정 방법론에

대해 연구하였다. 설계 방법론으로서 추출, 모형화, 분석, 라이브러리 호출 단계를 거치는 시물레이션과 분석적 방식을 통합한 방법을 제안하였으며, 특히 기존의 분석식만으로는 잡음 전압치 계산이 잘못될 수도 있음을 알 수 있었다.

결국, 하나의 패키지 모형에 대해서 시물레이션을 통한 잡음치를 측정하고 그로부터 간단한 예측 근사식을 도출하여 이를 라이브러리화하면, 같은 패키지 모형을 설계하는 경우에는 시물레이션을 반복하지 않고도 예측 근사식을 이용하여 최소 핀 수를 결정할 수 있게 된다. 즉, 반복 설계 작업시에 시물레이션을 수행하지 않고도 단순히 V_{DD}/V_{SS} 핀 수를 수식에 대입함으로써 동시 스위칭 잡음을 비교적 정확히 추정할 수 있으며, 이를 통하여 동시 스위칭 환경에서 최소의 V_{DD}/V_{SS} 핀 수를 효율적으로 결정할 수 있는 것이다.

참 고 문 헌

[1] Chi-Taou Tsai, Wai-Yeung Yip, "An Experimental Technique for Full Package Inductance Matrix Characterization," IEEE Trans., Comp., Packag., Manufact. Technol., Vol.19, pp.338-343, 5, 1996.

[2] A. E. Reuhli, "Survey of computer-aided electrical analysis of integrated circuit interconnections," IBM J. Res. Develop., Vol.23, pp.626-639, 11, 1979.

[3] Ramesh Senthinathan, John L. Prince, "Simultaneous Switching Noise of CMOS Devices and Systems," Kluwer Academic Publishers, 1994.

[4] LSI Logic, LCB 500K Preliminary Design Manual, Jun. 1995.

[5] NEC Electronics Inc., CMOS-8L 0.5 Micron CMOS Gate Arrays Design Manual, Jul. 1993.

[6] G. A. Katopis, "Delta-I noise specification for high-performance computing machine," Proc. IEEE, Vol.73, pp.1405-1415, 9, 1985.

[7] Bradley D. McCredie, Wiren D. Becker, "Modeling, Measurement, and Simulation of Simultaneous Switching Noise," IEEE Trans., Comp., Packag., Manufact. Tech., Vol.19, pp.461-472, 8, 1996.

[8] A. Vaidyanath, B. Thooddson, and J. L. Prince, "Effect of CMOS driver loading conditions on simultaneous switching noise," IEEE Trans. Comp., Packag.,

Manufact. Tech., Vol.17, pp.480-485, 11, 1994.

[9] Srinivasa R. Vemuru, "Accurate Simultaneous Switching Noise Estimation Including Velocity-Saturation Effects," IEEE Trans. Comp., Packag., Manufact. Tech., Vol.19, pp.344-349, 5, 1996.

[10] Lei Lin and John L. Prince, "SSO Noise Electrical Performance Limitations for PQFP Packages," IEEE Trans., Comp., Packag., Manufact. Tech., Vol. 20, pp.292-297, 8, 1997.

[11] A. J. Rainal, "Computing Inductive Noise of Chip Packages," AT&T Bell Laboratories Technical Journal, Vol.63, pp.177-195, 1, 1984.

[12] Chi-Taou Tsai, Wai-Yeung Yip, "An Experimental Technique for Full Package Inductance Matrix Characterization," IEEE Trans., Comp., Packag., Manufact. Technol., Vol.19, pp.338-343, 5, 1996.

[13] A. E. Reuhli, "Survey of computer-aided electrical analysis of integrated circuit interconnections," IBM J. Res. Develop., Vol.23, pp.626-639, 11, 1979.



배 윤 정

e-mail : yjbae@kies.co.kr
 1997년 순천대학교 물리학과 졸업 (학사)
 1999년 숭실대학교 전산학과 졸업 (이학석사)
 1999년~현재 한국정보공학 응용개발사업부

관심분야 : Mobility Management, IMT-2000, Intelligent Network 등

이 윤 옥

e-mail : chitta@corp.thrunet.com
 1995년 숭실대학교 전자계산학과 졸업(학사)
 1996년 숭실대학교 전자계산학과 대학원 입학(석사)
 1998년 숭실대학교 전자계산학과 대학원 졸업(석사)

현재 두루넷 포탈기획팀 근무
 관심분야 : VLSI CAD/CAE



김 재 하

email : Jae-ha.kim@compaq.com

1988년 경기대학교 전산학과 졸업
(학사)

1997년 숭실대학교 정보과학대학원
졸업(공학석사)

1997년~1999년 동서대학교 정보
시스템 공학부 겸임 강사

1998년~1999년 인덕대학 여성정보 행정학과 시간 강사

1993년~현재 컴팩코리아(주) 책임컨설턴트 재직중

관심분야 : IMT-2000, Mobile-Network, ATM 등



김 병 기

e-mail : bgkim@computing.soongsil.ac.kr

1977년 서울대학교 전자공학과 졸업
(학사)

1979년 한국과학기술원 전산학과
(이학석사)

1997년 한국과학기술원 전산학과(공학박사)

1982년~현재 숭실대학교 정보과학대학 컴퓨터학부 교수

관심분야 : wireless ATM, IMT-2000, Mobile-IP 등