

차세대 모바일 단말 플랫폼을 위한 MIPI CSI-2 & D-PHY 카메라 컨트롤러 구현

현 유 진^{*} · 권 순^{**} · 정 우 영^{***}

요 약

본 논문에서는 차세대 모바일 단말 카메라 표준 인터페이스인 MIPI CSI-2 및 D-PHY를 설계하였다. 제안된 CSI-2는 레인별로 존재하는 버퍼를 하나로 통합하여 송수신단이 지원하는 레인의 개수가 다른 경우에도 유연하게 관리 될 수 있는 멀티레인관리계층을 가진다. 설계된 CSI-2 및 D-PHY는 테스트 벤치를 통해 RTL 검증되었다. 또한 FPGA로 합성된 후 테스트 베드를 통해 기능 검증이 이루어 졌으며, 실제 단말기에 적용하여 동작 여부를 확인 하였다. 설계된 CSI-2 및 D-PHY 모듈은 브리지 형태로 제공되어 기존의 카메라 센서와 호스트 프로세서와 오프 칩 형태로 사용할 수 있을 뿐 아니라, 차세대 모바일 카메라 컨트롤러와 온 칩 화 가능한 IP 형태로도 사용 가능하다.

키워드 : MIPI, CSI-2, D-PHY, 모바일 카메라

MIPI CSI-2 & D-PHY Camera Controller Design for Future Mobile Platform

Eugin Hyun[†] · Soon Kwon^{**} · Woo-Young Jung^{***}

ABSTRACT

In this paper, we design a future mobile camera standard interface based on the MIPI CSI-2 and D-PHY specification. The proposed CSI-2 have the efficient multi-lane management layer, which the independent buffer on the each lane are merged into single buffer. This scheme can flexibly manage data on multi lanes though the number of supported lanes are mismatched in a camera processor transmitter and a host processor. The proposed CSI-2 & D-PHY are verified under test bench. We make an experiment on CSI-2 & D-PHY with FPGA type test-bed and implement them onto a mobile handset. The proposed CSI-2 & D-PHY module are used as both the bridge type and the future camera processor IP for SoC.

Key Words : MIPI, CSI-2, D-PHY, Mobile camera

1. 서 론

현재 휴대 단말은 단순한 전화 통화와 문자 메시지 전송의 기능을 넘어, MP3, PMP, DMB, WiBro등의 다양한 기능이 통합되고, 향후에는 오감 정보 등의 휴먼 인터페이스를 가지는 지능형 멀티미디어 단말기로 발전할 것으로 보인다[1-5]. 이러한 지능형 데이터를 처리를 위해서는 단말기의 대용량, 고속 처리 능력이 필요한 반면, 시장이 요구하는 기술개발의 속도는 점점 짧아지고 가격 또한 급락하게 하락하고 있는 추세이다[1-5]. 따라서 원가 절감, 설계의 유연성, 그리고 개발 기간의 단축을 통해 차세대 멀티미디어 단말기가 시장에 경쟁우위를 차지하기 위해서는 표준에 기반을 둔

고속 단말 플랫폼 확보가 필요하다[5].

이를 해결하기 위해 모바일 단말기 플랫폼의 표준화 작업이 퀄컴과 삼성에 의해 MDDI(Mobile Display Digital Interface)를 통해 이루어졌다[4]. 하지만 이는 디스플레이와 카메라를 위한 인터페이스로 한정될 뿐 아니라, 퀄컴이 주도하는 CDMA 단말기에만 적용됨에 따라 다른 단말 및 부품 업체들이 참여하고 있지 않다.

이에 반해, 노키아, ST Microelectronics, TI, ARM, Intel, 필립스 등 100여개 업체가 참여한 MIPI(Mobile Industry Processor Interface) 표준화 단체는 2004년에 설립된 이후 차세대 모바일 단말기의 전반적인 플랫폼에 관해 논의하고 있다[6].

그중 2005년 11월에 버전 1.0을 발표한 CSI-2(Camera Serial Interface 2) 규격과 2006년 4월에 완성된 DSI(Display Serial Interface) 규격은, 각각 카메라와 호스트 프

[†] 정 회 원 : 대구경북과학기술연구원(DGIST) IT연구부 선임연구원

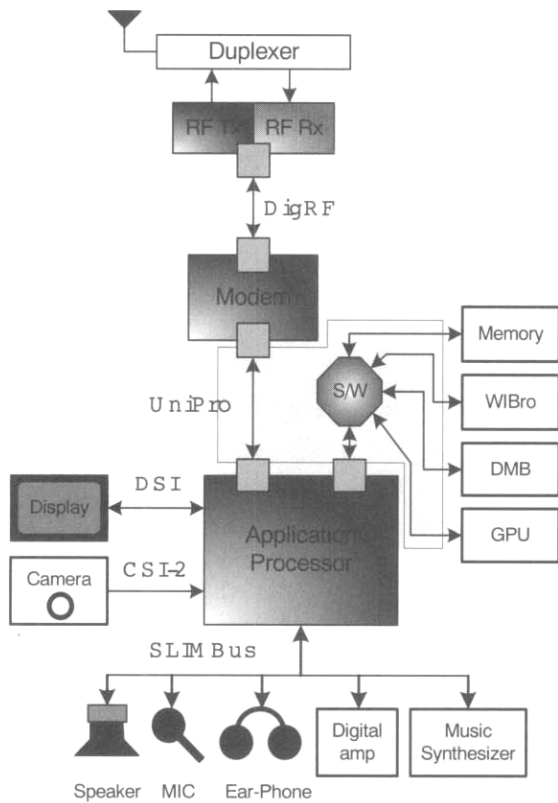
^{**} 정 회 원 : 대구경북과학기술연구원(DGIST) IT연구부 연구원

^{***} 정 회 원 : 대구경북과학기술연구원(DGIST) IT연구부 책임연구원

논문접수 : 2007년 9월 13일, 심사완료 : 2007년 11월 16일

로세서, 그리고 디스플레이 장치와 호스트 프로세서간의 데이터 전송 및 제어 인터페이스를 제공하고 있다[6]. 또한 2007년 6월에는 휴대 단말기 내 스피커, 마이크로폰, 이어폰, 앰프, 뮤직 합성기 등의 미디 디바이스들 간의 오디오 및 사운드 신호 전송을 위한 SLIMBus(Serial Low-power Inter-chip Media Bus) 표준안이 완성되었다[6]. 그리고 모바일 프로세서와 멀티미디어 및 통신 디바이스(DMB, DAB, TV, WiBro 등)간의 고속 스트리밍 멀티미디어 전송을 위한 UniPro(Unified Protocol) 표준안 역시 2007년 말에 표준안을 확정할 예정이다[6]. RF 칩과 모뎀 디바이스를 표준 인터페이스로 연결하기 위한 DigRF 표준화 역시 2007년 현재 활발히 이루어지고 있어, 향후 차세대 단말은 MIPI 기반의 표준화 플랫폼으로 이뤄 질것으로 본다[6]. 그밖에도 휴대단말기 내 디바이스들의 테스트 및 디버거를 위한 플랫폼, 플래시 메모리를 위한 소프트웨어 표준 플랫폼 등이 MIPI에서 진행되고 있다[6].

(그림 1)은 MIPI 기반의 차세대 모바일 단말의 전체 플랫폼에 대해 보여주고 있다. RF IC와 모뎀은 DigRF 인터페이스로 연결되고, 모뎀과 응용 프로세서 그리고 각 멀티미디어 칩과 응용 프로세서간의 인터페이스는 UniPro로 연결되었다. 그리고 카메라와 디스플레이는 각각 CSI-2와 DSI로, 미디 디바이스는 하나의 SLIMBus로 인터페이스 되었다.



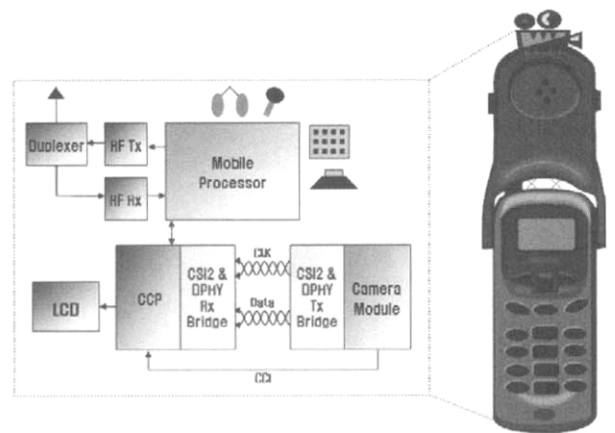
(그림 1) 차세대 단말 플랫폼 블록 다이어그램
(Fig. 1) The platform block diagram of a future mobile hand set

UniPro, DSI, CSI-2는 응용 프로토콜 계층으로 MIPI D-PHY 표준 스펙을 물리계층으로 이용하고 있다. D-PHY는 클럭 및 데이터 전송을 위해 차등직렬신호(LVDS: Low Voltage Differential Signal)를 사용하며 최대 1Gbps의 전송 속도를 가진다. 일반적으로 데이터 레인은 1개가 지원되며 높은 클럭 주파수를 사용을 피해야하는 경우엔 2, 3, 혹은 4개의 멀티레인을 사용하여 선형적으로 대역폭을 증가시킬 수 있다.

SLIMBus의 경우 디지털 앰프, 디지털 마이크론 등 SLIMBus를 지원하는 디지털 미디어 디바이스들의 개발이 이루어질 때 까지 다소 시간이 소요될 것으로 보인다. 또한 UniPro와 DigRF는 아직 표준화가 완성되지 않았을 뿐 아니라, 단말기 플랫폼에 많은 변화가 요구됨으로 인해 이 표준안이 시장에 반영되는데 까진 역시 상당한 기간이 필요할 것으로 보인다. 하지만 DSI와 CSI-2는 이미 스펙이 완성되었을 뿐 아니라, 현재 모바일 단말업체에서 가장 관심을 가지고 있는 분야이다. 특히 카메라의 성능이 300만 화소 이상을 지원해야 되는 경우, 기존의 병렬방식으로는 속도와 전송 길이의 한계로 인해 고속 직렬 인터페이스는 불가피한 선택이다[7].

(그림 2)는 MIPI CSI-2 및 D-PHY가 적용된 단말기의 구조이다. 모바일 카메라와 응용 프로세서는 고속 직렬 인터페이스로 클럭과 데이터 레인이 연결되어 있으며, 제어 인터페이스를 위해 표준 I2C(Inter-IC Communication)가 연결되어 있다. 이렇게 구현된 단말은 저전력, 높은 속도, 저가격 및 확장성, 낮은 EMI, 그리고 신호 라인의 대폭 감소에 따른 단말기 구성의 단순화 등의 장점을 가지게 된다.

SoC IP 업체인 Arasan은 2006년 말에 1개의 데이터 레인을 지원하는 CSI-2 IP를 구현하였고, 2007년 현재는 4개의 데이터 레인을 지원하는 CSI-2 및 D-PHY IP 형태로 개발 및 판매를 하고 있다. Arasan에서 설계한 CSI-2는 로컬 인터페이스로 AHB와 PCI를 가진다[8].



(그림 2) CSI-2 및 D-PHY 인터페이스를 가지는 모바일 단말 구조
(Fig. 2) The mobile handset with CSI-2 and D-PHY interface

본 논문에서 제안한 CSI-2 및 D-PHY 역시 4개의 데이터 레인을 지원하며, 비록 송수신단이 지원하는 레인의 개수가 다른 경우에도 이를 유연하게 관리 할 수 있는 구조를 가진다.

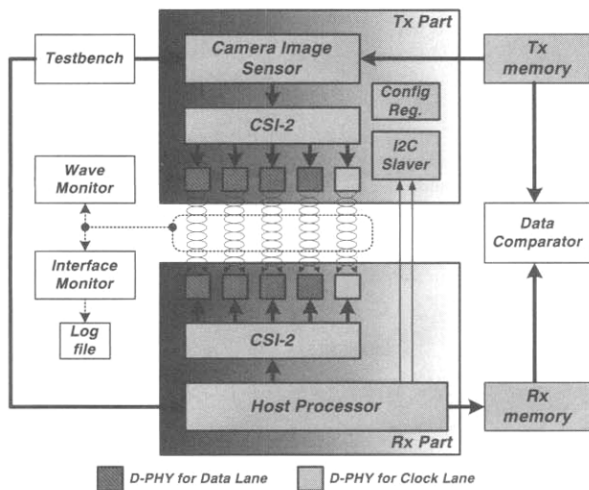
또한 기존의 카메라 모듈의 인터페이스 신호인, 수평동기 신호(HSYNC), 수직동기신호(VSYNC), 데이터, 그리고 클럭 신호를 로컬 인터페이스로 사용한다. 따라서 카메라 센서 칩은 별도의 AHB나 PCI 컨트롤러를 내장할 필요 없이 기존의 인터페이스로 CSI-2 및 D-PHY IP를 그대로 사용할 수 있다.

본 논문에서는 효과적인 멀티레인 지원과 범용 로컬 인터페이스를 가지는 MIPI CSI-2 및 D-PHY 표준안을 따라 카메라 컨트롤러를 설계하였고, 이를 실제 단말 플랫폼에 구현하였다. 본 논문의 2장에서는 설계된 CSI-2 및 D-PHY의 구조 및 검증 환경에 대해 소개한다. 3장에서는 CSI-2 및 D-PHY가 구현된 테스트 베드 및 모바일 단말을 이용한 실험 결과를 보여주고, 4장에서는 결론을 맺는다.

2. 설계 및 검증

(그림 3)은 본 논문에서 설계된 MIPI CSI-2와 D-PHY를 지원하는 카메라 컨트롤러의 블록 다이어그램과 이를 검증하기 위한 환경이다.

설계된 카메라 컨트롤러의 CSI-2와 D-PHY 블록, 그리고 I2C 슬레이버(Slaver)는 Verilog HDL로 코딩되어 졌으며, 이미지 센서, 호스트 프로세서, 송신 메모리(Tx Memory), 수신 메모리(Rx Memory), 데이터 비교기(Data Comparator), 인터페이스 모니터(Interface Monitor)는 시스템 C(System C)를 이용하여 클럭 단위로 동작하는 행위 모델(Behavioral Model)로 설계되어 졌다.

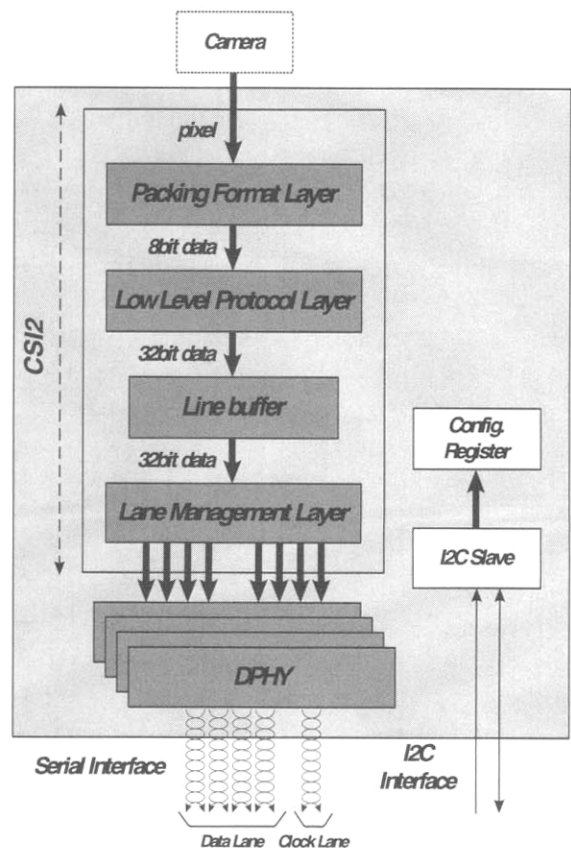


(그림 3) 설계된 모바일 카메라 컨트롤러의 블록 다이어그램 및 검증 환경

(Fig. 3) Top block of the designed mobile camera processor and top-level RTL verification environment

MIPI 표준에서는 모바일 카메라와 호스트 프로세서 간의 CCI(Camera Control Interface)로 80년대 초반 필립스 반도체에서 개발한 I2C를 기반으로 하고 있다. 먼저 호스트 프로세서는 테스트 벡터의 요청을 받아 I2C를 통해 컨피규레이션 레지스터를 세팅하여 모든 로직을 초기화 시킨다. 그 후 테스트 벤치(Test bench)는 카메라 이미지 센서에 이미지 전송을 요청하고, 카메라 이미지 센서는 송신 메모리로부터 이미지 데이터를 읽어 CSI-2와 D-PHY를 통해 수신단으로 전송한다. D-PHY와 CSI-2를 통해 수신한 이미지 데이터는 호스트 프로세서에 의해 수신 메모리로 저장되고, 이는 다시 데이터 비교기에 의해 데이터의 올바른 전송 유무가 검증된다. 이때 인터페이스 모니터는 CSI-2 및 D-PHY 직렬 전송에서 발생하는 클럭 레인 및 데이터 레인의 프로토콜을 체크하여 에러가 발생 시 이를 알리는 로그 파일을 생성한다. 시뮬레이션 파형은 파형 모니터(Wave Monitor)에 의해 확인할 수 있다.

(그림 4)는 설계된 카메라 컨트롤러의 송신단 CSI-2 및 D-PHY를 세부 블록다이어그램을 나타낸다. CSI-2는 패킷 포맷계층(Packing Format Layer), 하위레벨프로토콜계층(Low Level Protocol Layer), 레인관리계층(Lane Management Layer)으로 나누어진다.



(그림 4) 설계된 CSI-2 & D-PHY 블록 다이어그램

(Fig. 4) Top block of the designed CSI-2 & D-PHY

2.1 패킷포맷계층

송신단의 패킷포맷계층은 카메라로부터 수신한 YUV, RGB, RAW 등의 6비트/픽셀에서 24비트/픽셀까지 다양한 포맷의 이미지 데이터를 바이트 포맷으로 변환한다. MIPI CSI-2 표준안에서는 송신단의 1개 이상의 이미지 모드를 지원하도록 명시되어 있다. 설계된 카메라 컨트롤러는 다양한 이미지 포맷 중 가장 보편적으로 사용하는 YUV422, RGB565, RAW8, 그리고 RGB888을 지원한다.

2.2 하위프로토콜계층

하위레벨프로토콜계층에서는 바이트 단위의 이미지 데이터를 패킷으로 생성한다. 패킷은 롱패킷(Long packet)과 숏패킷(Short packet)으로 나누어진다. 롱패킷은 헤드, 데이터, 그리고 CRC(Cyclic Redundancy Checking) 코드로 구성된다. 헤드는 이미지 포맷을 알리는 데이터 ID, 패킷 내 이미지 데이터의 크기를 나타내는 WC(Word Count), 그리고 헤더의 무결성을 확보하기 위해 1비트 에러보정 및 2비트 에러검출이 가능한 ECC(Error Correction Code)로 구성된다. 숏패킷은 프레임 번호와 라인 번호 정보가 WC를 대체하는 것 외에는 롱패킷의 헤드와 같은 구조이다. 즉, 숏패킷은 이미지 데이터 전송의 프레임과 라인의 동기를 맞추기 위해 프레임의 시작과 끝, 그리고 라인의 시작과 끝을 알리기 위한 패킷이다.

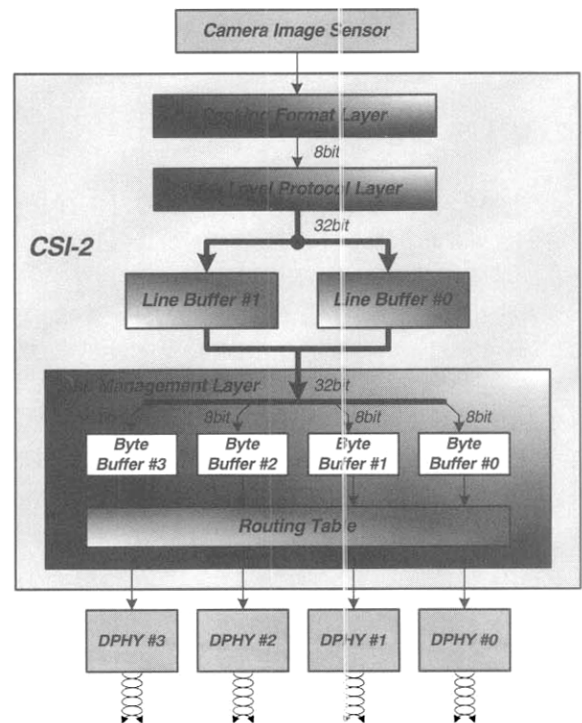
모바일 단말 시스템이 초기화 될 때 호스트 프로세서가 I2C 인터페이스를 통해 헤드 생성에 필요한 데이터 ID와 WC를 컨피규레이션 레지스터에 세팅하고, 이 정보를 이용하여 패킷이 생성된다. 또한 MIPI CSI-2 스펙에 명시된 ECC 해밍 코드를 생성 및 검출하도록 설계되었다. 수신단 CIS-2에서는 수신 패킷을 해독하고 ECC 코드를 검출하여 1비트 에러가 검출되면 헤드를 복구하고, 2비트 이상 에러가 나면 이를 알린다.

8비트 데이터를 입력하여 생성하는 16비트 CRC를 생성하는 경우 총 8 사이클이 걸리면 연속적으로 전송하는 이미지 데이터를 실시간으로 처리하기 어렵기 때문에, 설계된 CIS-2에서는 1바이트 단위로 데이터를 입력받아 병렬로 CRC를 생성한다.

2.3 라인관리계층 및 라인버퍼

멀티레인을 지원하는 경우 각 라인별로 상호 독립적인 D-PHY 로직과 회로를 가진다. 따라서 송신단 라인 관리 계층에서는 각 라인에 패킷을 분배하고, 수신단에서는 각 라인으로 수신된 데이터를 수집한 후, 이를 다시 완전한 패킷으로 재구성해야한다. 따라서 라인관리계층이 멀티레인을 지원하기 위해서는 각 데이터 라인별로 버퍼를 가지고 있어야 한다. 즉, 상위 계층에서 패킷화되어진 1바이트 단위의 이미지 데이터를 순서대로 각 버퍼에 저장하게 되고, 저장된 데이터는 각 물리 계층을 통해 한 번에 전송되어야 한다. 이러한 개념적 버퍼 구조는 아주 간단한 구조이지만, 설계시 지원하는 레인의 개수가 고정되어, 송신단과 수신단이

지원하는 레인의 개수가 다른 경우 함께 사용할 수 없다. (그림 5)는 이를 효과적으로 해결하기 위해 제안된 송신단 라인관리계층 구조이다. 패킷포맷계층과 하위프로토콜계층에서 패킷으로 생성된 8비트 단위의 데이터는, 32비트 단위로 라인 버퍼에 저장된다. 라인 버퍼는 이미지 라인 크기만큼 저장할 수 있으며, 2개가 있어 파이프라인으로 동작한다. 라인버퍼에 저장된 32비트 데이터는 4개의 바이트 버퍼에 각각 저장된 후 라우팅 테이블(Routing Table)을 통해 지원하는 D-PHY로 나누어 전송된다. 라우팅 테이블에는 지원하는 데이터 레인의 개수가 얼마인지에 따라 라인버퍼에 있는 32비트 데이터를 각 D-PHY로 연결한다. 제안된 구조는 계층이 지원하는 레인의 개수에 따라 버퍼를 유동적으로 사용할 수 있는 방법으로, 보다 자세한 설명은 앞선 연구를 통해 소개되었다[9].



(그림 5) 제안된 멀티레인관리 계층
(Fig. 5) The proposed lane management layer

2.4 물리계층

CSI-2의 물리계층에 해당하는 D-PHY의 송신단은 바이트 단위의 패킷을 직렬화하여 외부로 전송하고, 수신단은 외부 인터페이스로부터 수신한 직렬 패킷을 바이트 단위로 재구성하여 CSI-2로 전송한다. 클럭과 데이터 레인은 두개의 신호선을 이용하여 HS 모드(High speed mode)일 때는 LVDS로 전송되며, 하나의 패킷을 전송한 후에는 천이모드를 거쳐 LP 모드(Low power mode)로 유지된다. D-PHY는 패킷을 전송할 때 8비트의 동기 코드(Synchronization code)를 붙여 패킷의 전송 시작을 알리고, 수신단은 패킷의 수신

시점을 정확히 알기 위해 클럭 및 데이터 레인이 LP 모드에서 천이 모드로 바뀌는 프로토콜을 검출한 후, 동기 코드를 정확하게 검출하여야 한다. 또한 클럭 및 데이터 레인이 장기간 전송을 멈추는 경우에는 두 개의 신호선을 모두 그라운드로 머물게 하는 ULPS(Ultra Low Power State) 프로토콜을 사용하여 보다 나은 PM(Power Management)를 통해 모바일 단말의 저전력 이슈를 해결한다.

설계된 수신단 D-PHY는 HS 모드에서 클럭 레인을 통해 수신한 클럭과 데이터 레인을 통해 검출한 동기 코드를 검출하고 바이트 클럭의 동기를 맞춘 후 수신한 데이터의 직렬 변환을 하게 된다. 이때 DDR 클럭으로 데이터가 전송되기 때문에 바이트 클럭을 정확하게 검출하기 위해서는 D-PHY는 클럭의 상승에지와 하강에지 모두에서 데이터를 검출한다.

2.5 I2C 슬레이버

호스트 프로세서는 I2C를 통해 컨피규레이션 레지스터에 모바일 카메라 컨트롤러에 필요한 정보를 시스템 초기에 세팅한다. 설계된 카메라 컨트롤러의 컨피규레이션 레지스터에는 전송하는 이미지 데이터를 위한 데이터 타입(RGB888, RGB565, YUV565, RAW8), 이미지의 크기, 지원 하는 데이터 레인 개수 등을 지정할 수 있다.

3. 실험 결과

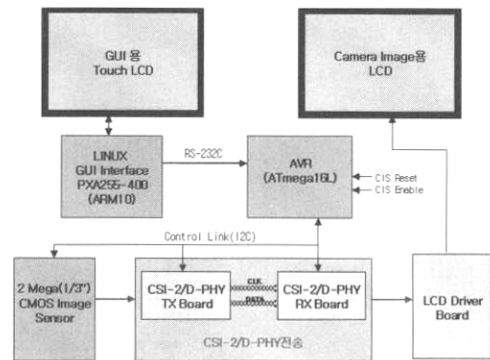
제안된 CSI-2 및 D-PHY는 (그림 3)의 검증환경을 통해 RTL 검증되었다. CSI-2에서는 다양한 이미지 모드의 지원 여부, 패킷(CRC 및 ECC 등) 생성 및 해독 여부, 멀티레인 관리 등에 대해 검증하였고, D-PHY에서는 레인의 올바른 모드(HS, LP, ULPS) 전환 프로토콜, 멀티레인에서의 올바른 데이터 전송 여부, 동기 코드 생성 및 검출, 수신 클럭을 이용한 바이트 클럭 동기화 등이 대해 검증되었다. 파형 모니터를 통해 파형을 확인하고 프로토콜 모니터를 통해 검증하여 에러 검출 및 디버깅을 하였다.

설계된 CSI-2 및 D-PHY는 Xilinx SPARTAN XC3S200 FPGA 칩을 이용하여 구현되었다. 라인 버퍼는 Xilinx 칩에서 제공하는 듀얼 포트 메모리를 Xilinx CORE Generator v7.1을 통해 생성한 라이브러리로 사용하였고, LVDS 블록은 Xilinx 칩 내부에 내장되어 있는 'LVDS_25' 라이브러리를 이용하였다. 구현된 CSI-2 및 D-PHY의 실험 결과가 표 1에 나와 있다. 구현 결과 속도는 80MHz로 D-PHY 스펙을 만족하였다. FPGA 내에서 CSI-2와 D-PHY가 사용된 면적은 수신단은 6,000 게이트이며 송신단은 라인 버퍼를 제외하면 2,500 게이트이다. 카메라 이미지 센서, CSI-2, D-PHY가 하나의 SoC로 통합되면 라인 버퍼는 카메라 센서에서 사용하는 메모리와 통합 되어 많은 면적이 줄어들 것이며 속도 또한 향상 될 것이다.

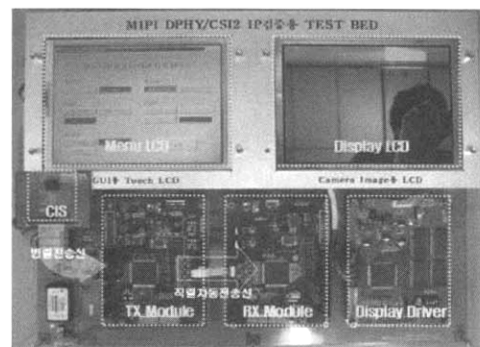
(그림 6)은 구현된 CSI-2 및 D-PHY를 검증하기 위한 테스트 베드의 블록 다이어그램과 해당 보드이다.

<표 1> CSI-2 및 D-PHY 구현 결과
<Table 1> Implementation of CSI-2 & D-PHY

구분	설계 스펙
형태	Xilinx SPARTAN XC3S200
지원 레인	클럭 레인 : 단일 레인 데이터 레인 : 4 레인 지원
인터페이스 선 길이	최대 15Cm (D-PHY 스펙 만족)
동작주파수	FPGA Logic Synthesis : 80MHz
전송속도	테스트베드 상 80Mbps X 4Lane = 320Mbps
Gate 수	Tx : 약 2,500 gate (Line buffer제외) Rx : 약 6,000 gate
이미지 크기	SVGA(800X600), QSVGA(400X300), QQSVGA(200X150) 30fps 동작
전송 전압	고속 모드 : LVDS 200mv@200mV DDR 저전력 모드 : 1.2V Single Ended
저전력 모드 지원	LP 및 ULPS 모두 지원
이미지 모드	RGB888, YUV422 8bit, RGB565, Raw8



(a)



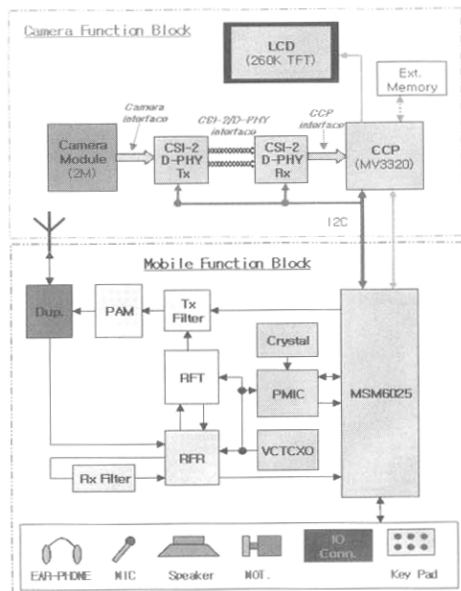
(b)

(그림 6) CSI-2 및 D-PHY가 적용된 테스트 베드
(Fig. 6) Test bed with CSI-2 & D-PHY

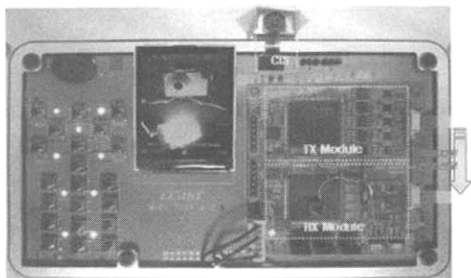
실리콘파일사의 2M 픽셀인 NOON200PC11 모델인 CMOS 이미지 센서와 LCD 드라이버 사이에는 구현된 CSI-2 및 D-PHY가 브리지 형태로 있어 직렬 전송을 검증할 수 있다. 터치 패드로 구성된 메뉴 LCD를 통해 지원되는 이미지 해상도, 영상 포맷, 라인 개수, 저전력 모드 동작 등을 설정할 수 있다. 호스트 프로세서(ATmega16L)는 터치 LCD로부터 입력된 각종 정보를 I2C를 통해 카메라 이미지 센서 및 CSI-2에 세팅한다. 수신된 이미지 영상은 디스플레이 드라이버에 의해 LCD에 나타난다.

(그림 7)은 CDMA 단말에 CSI-2 및 D-PHY를 적용시킨 경우로 구현 스펙은 아래와 같다.

- 칩셋 : 퀄컴 MSM6025
- LCD : 260K 2.2" TFT
- 디스플레이 드라이버 : MV3320
- 카메라 : 실리콘파일사의 NOON200PC11 (2M 픽셀)
- FPGA : Xilinx SPARTAN XC3S200 (CSI-2 & D-PHY 실장)
- 그 밖의 장치 : 키패드, 스피커 등



(a)



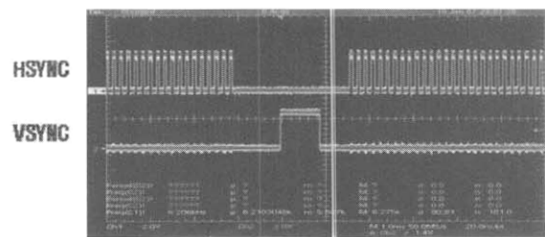
(b)

(그림 7) CSI-2 및 D-PHY가 적용된 모바일 단말 (Fig. 7) Mobile handset with CSI-2 & D-PHY

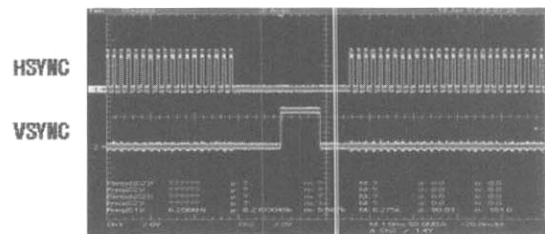
구현된 단말기 내 CSI-2 및 D-PHY 동작확인을 위해 측정된 파형이 (그림 8~10)에 나와 있다.

먼저 (그림 8)은 (그림 7(a))의 카메라 인터페이스와 CCP (Camera Control Processor) 인터페이스에서 측정된 수직 수평 동기 신호이다. 즉, (그림 8(a))와 같이 카메라 센서로부터 보내진 HSYNC와 VSYNC 신호를 이용한 동기 정보 및 데이터는 MIPI CSI-2 및 D-PHY 송신단에 의해 패키징되어 전송된다. CSI-2 및 D-PHY 수신단은 (그림 8(b))와 같이 수신한 패키지정보를 해독 후 다시 HSYNC와 VSYNC를 생성하여 CCP에 동기정보와 데이터를 전송한다.

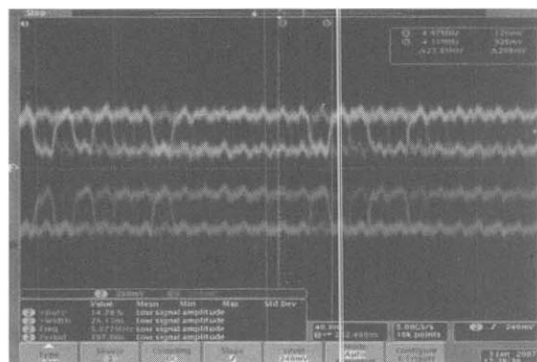
(그림 9)는 데이터 레인이 HS 모드에서 200mv@200mv LVDS로 데이터를 전송되는 파형이다. 측정된 파형은 120mv~328mv로 스펙에 명시된 100mv~300mv와 약 20mv 정도 오차가 나타났다. 또한 (그림 10)은 데이터 레인이 HS 모드로 데이터 전송을 완료한 후 LP 모드(1.2V)인 저전력 상태로 전환하는 파형으로 실제 측정 전압은 1.12V로 나타났다.



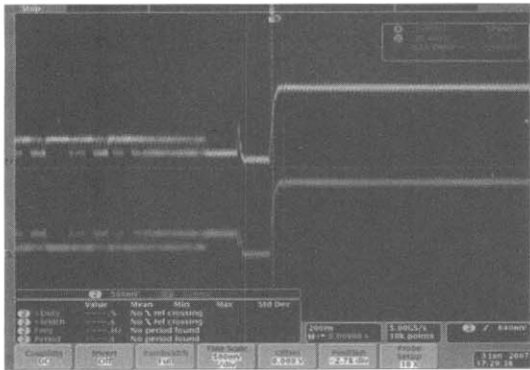
(a)



(그림 8) 수평 및 수직 동기 신호. (a) 카메라 이미지 센서에서 발생한 신호, (b) 수신단 CSI-2가 복원한 신호 (Fig. 8) HSYNC & VSYNC signals, (a) generated by camera image sensor, (b) reconstructed by CSI-2 rx part

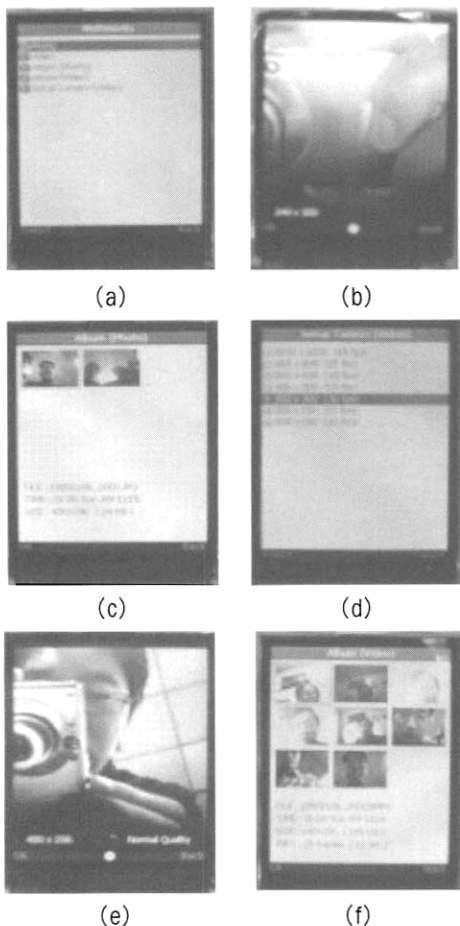


(그림 9) HS 모드로 동작하는 데이터 레인의 파형 (Fig. 9) Waveform of Data Lanes on HS mode



(그림 10) HS 모드에서 LP 모드로 천이하는 데이터 레인의 파형 (Fig. 10) Waveform of transition state (HS → LP mode)

(그림 11)은 구현된 모바일 단말의 실제 동작 과정을 나타낸 것이다. 11(a)은 사진, 동영상, 화질 조정 등을 위한 메뉴이며, 11(b)은 프리뷰 모드이다. 11(c)은 촬영된 정지영상의 저장 및 재생 메뉴이다. 11(d)은 동영상 모드 설정 메뉴이며, 11(e)은 촬영 모드이다. 11(f)은 촬영된 동영상 저장 및 재생 메뉴이다.



(그림 11) 구현된 모바일 단말의 실제 동작 과정 (Fig. 11) Display menu of mobile device implemented designed camera controller

5. 결 론

본 논문에서는 MIPI CSI-2 및 D-PHY 송수신단 카메라 컨트롤러를 설계하였다. MIPI CSI-2는 멀티레인을 지원할 수 있고 이 경우 각 라인별로 상호 독립적인 D-PHY를 가지게 된다. 본 논문에서는 레인의 개수만큼 존재하는 버퍼의 구조를 하나로 통합하여, 송수신단이 지원하는 레인의 개수가 다른 경우에도 유연하게 관리되는 구조이다. 설계되어진 CSI-2 및 D-PHY는 이미지 센서, 호스트 프로세서, 송수신단 메모리, 비교기, 인터페이스 모니터로 구성된 테스트 벤치를 통해 RTL 검증되었다. 또한 테스트 베드를 통해 CSI-2 및 D-PHY의 기능 검증을 하였으며, 실제 단말기에 적용하여 동작여부를 확인 하였다. 설계된 CSI-2 및 D-PHY 모듈은 브리지 형태로 제공되어 기존의 카메라 센서와 호스트 프로세서와 오프 칩 형태로 사용할 수 있을 뿐 아니라, 차세대 모바일 카메라 컨트롤러와 온 칩 화 가능한 IP 형태로도 사용 가능하다.

참 고 문 헌

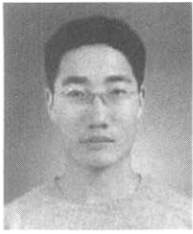
- [1] 전주성, “이동통신 단말기술 개발 동향과 발전 방향”, 전자부품연구원 전자정보센터 보고서, 2005.
- [2] (주)폴리소프트, “융/복합 단말기 관련 제품 및 시장의 최근 동향”, 전자부품연구원 전자정보센터 보고서, 2006.
- [3] (주)폴리소프트, “카메라 모듈 관련 국내 기술 및 제품의 최근 동향”, 전자부품연구원 전자정보센터 보고서, 2006.
- [4] Chang L. Lee, Kuang-Ting Hsiao, and Min-Chung Chou, “A Low Power Mobile Camera Processor Design with SubLVDS Interface”, VLSI Design, Automation and Test, 2006 International Symposium, pp. 1-4, April 2006.
- [5] 이재영, 김민식, 이경남, “핵심부품의 고집적화에 글로벌 모바일 시장구조 변화 방향”, 정보통신정책연구원 보고서, 2005.
- [6] <http://www.mipi.org>
- [7] 전자부품연구원, ‘이동통신단말기용 카메라 모듈 시장 현황 및 전망’, 전자부품연구원 전자정보센터 보고서, 2006.
- [8] <http://www.arasan.com>
- [9] 현유진, 권순, 이종훈, 정우영, “멀티레인을 지원하는 모바일 카메라용 직렬 인터페이스 프로세서 설계”, 대한전자공학회논문지 제44권 SD편 제7호, pp. 62-70, 2007.

현 유 진



e-mail : braham@dgist.ac.kr
 1992년 영남대학교 전자공학과(학사)
 2001년 영남대학교 전자공학과(공학석사)
 2005년 영남대학교 전자공학과(공학박사)
 2005년~현재 대구경북과학기술연구원 (DGIST) IT연구부 선임연구원

관심분야 : 모바일 프로세서, SoC, 지능형 자동차, 레이더 신호처리



권 순

e-mail : soonyk@dgist.ac.kr
2003년 고려대학교 전자공학과(학사)
2006년 서울대학교 전자공학과
(공학석사)
2006년~현재 대구경북과학기술연구원
(DGIST) IT연구부 연구원

관심분야: 모바일 프로세서, SoC, 지능형 자동차, 영상 신호처리



정 우 영

e-mail : wyjung@dgist.ac.kr
1984년 서울대학교 전자공학과(학사)
1986년 한국과학기술원 전기 및
전자공학과(공학석사)
1991년 한국과학기술원 전기 및
전자공학과(공학박사)

1991년~1999년 삼성전자 수석연구원
1999년~2003년 코어세스 연구소장
2004년~현재 대구경북과학기술연구원(DGIST) IT연구부
책임연구원
관심분야: 지능형자동차, 텔레메틱스