

# 다중 문턱전압 CMOS를 이용한 저 전력 캐리 예측 가산기 설계

김 동 휘<sup>†</sup> · 김 정 범<sup>††</sup>

## 요 약

본 논문은 다중 문턱전압 CMOS를 이용하여 저 전력 특성을 갖는 캐리 예측 가산기 (carry look-ahead adder)를 설계하였으며, 이를 일반적인 CMOS 가산기와 특성을 비교하였다. 전과 지연시간이 긴 임계경로에 낮은 문턱전압 트랜지스터를 사용하여 전과 지연시간을 감소시켰다. 전과 지연시간이 짧은 최단경로에는 높은 문턱전압 트랜지스터를 사용하여 회로전체의 소비전력을 감소시켰으며, 그 외의 논리블록들은 정상 문턱전압의 트랜지스터를 사용하였다. 설계한 가산기는 일반적인 CMOS 회로와 비교하여 소비전력에서 14.71% 감소하였으며, 소비전력과 지연시간의 곱에서 16.11%의 성능향상이 있었다. 이 회로는 삼성 0.35 $\mu$ m CMOS 공정을 이용하여 설계하였으며, HSPICE를 통하여 검증하였다.

키워드 : 다중 문턱전압 CMOS, 저 전력 회로, 캐리 예측 가산기, VLSI 설계

## Design of a Low-Power Carry Look-Ahead Adder Using Multi-Threshold Voltage CMOS

Dong Hwi Kim<sup>†</sup> · Jeong Beom Kim<sup>††</sup>

### ABSTRACT

This paper proposes a low-power carry look-ahead adder using multi-threshold voltage CMOS. The designed adder is compared with conventional CMOS adder. The propagation delay time is reduced by using low-threshold voltage transistor in the critical path. Also, the power consumption is reduced by using high-threshold voltage transistor in the shortest path. The other logic block is implemented with normal-threshold transistor. Comparing with the conventional CMOS circuit, the proposed circuit is achieved to reduce the power consumption by 14.71% and the power-delay-product by 16.11%. This circuit is designed with Samsung 0.35 $\mu$ m CMOS process. The validity and effectiveness are verified through the HSPICE simulation.

Keywords : Multi-Threshold CMOS, Low-Power Circuit, Carry Look-Ahead Adder, VLSI Design

### 1. 서 론

오늘날 디지털 회로의 설계에서 중요시하는 관점은 높은 성능과 칩 면적의 최소화, 소비전력 감소 등을 들 수 있다. 이동 장치 및 휴대장치의 대중화에 의해 보급이 증가하면서, 저 전력 회로에 대한 욕구는 더욱 더 증대되고 있다. 저 전력 회로 기술은 칩 면적의 증가나 회로의 성능 감소에 영향을 미치지 않는 상태에서 소비전력을 효과적으로 감소시키는 기술이다[1]. 지금까지 칩 면적의 최소화와 동작 속도에서는 만족할 만큼의 성능 개선을 이루었다. 그러나 근래 회로의 성능을 평가하는 가장 중요한 요소인 소비전력 면에 있어서는 발전 속도를 따르지 못하고 있다. 이러한 문제를 해결하기 위해서 현재 많은 노력과 연구가 이루어지고 있다. 소비전력을 감소시키기 위한 방법에는 여러 가지가 있

다. 예를 들면, 공급전압을 감소시키는 방법, 트랜지스터 수를 감소시켜 회로를 간소화하는 방법, 논리 회로 형태를 전환하는 방법, 출력전압을 감소시키는 방법 등 여러 가지 방법들이 연구되었다. 따라서 논리회로의 안정된 성능과 목적에 따라 적합한 형태의 방법을 찾아 회로에 적용하는 것이 중요하다[2-5].

본 논문에서는 소비전력을 감소시키는 방법 중 근래에 많이 다루어지고 있는 다중 문턱전압 CMOS (multi-threshold voltage CMOS)라는 기술을 이용한다[6-8]. 다중 문턱전압 CMOS 방식은 다양한 회로에 적용되어지고 있다. 본 논문에서는 디지털 회로의 기본요소인 가산기에 적용하였으며, 가장 널리 사용되는 캐리 예측 가산기 (carry look-ahead adder)에 적용하여 저 전력 회로를 설계하였다.

현재 반도체 설계에서 일반적으로 사용되는 CMOS는 트랜지스터의 턴온(turn on) 전압으로 고정된 전압을 사용한다. 이 전압을 문턱전압 (threshold voltage)이라 하고, 트랜지스터를 오프(off) 상태에서 트라이오드(triode) 상태로 전환시키는데 필요한 최소전압이다. 이러한 문턱전압을 다양

\* 본 논문에 사용한 S/W는 반도체교육센터(IDEC)의 지원에 의해 이루어졌음.

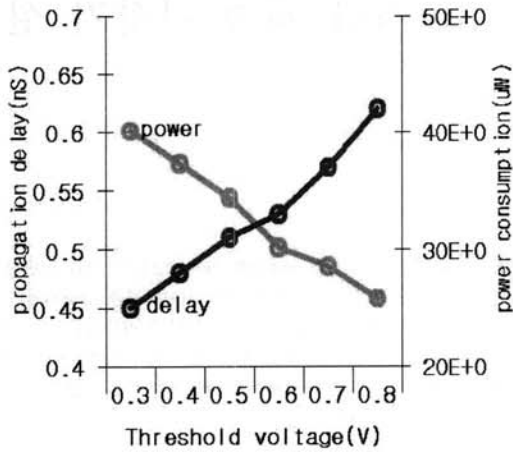
<sup>†</sup> 정 회 원 : 삼성SDI 기술연구소 연구원

<sup>††</sup> 정 회 원 : 강원대학교 전기전자공학부 교수(교신저자)

논문접수: 2008년 4월 14일

수정일: 1차 2008년 7월 17일, 2차 2008년 8월 7일

심사완료: 2008년 8월 18일



(그림 1) 문턱전압에 따른 전파 지연시간과 소비전력

화 한 것이 다중 문턱전압 CMOS이다. 다양한 문턱전압에 따라 트랜지스터의 동작속도와 소비전력 값이 달라진다. 이러한 문턱전압에 따른 동작속도와 소비전력의 차이를 이용하여 설계한다.

(그림 1)은 기본 게이트인 인버터 (inverter)에 다양한 문턱전압을 적용하여 얻은 결과이다. 낮은 문턱전압과 높은 문턱전압의 상대적인 특성을 보여준다. 다양한 문턱전압의 트랜지스터들은 문턱전압에 따라 동작속도와 소비전력이 반비례하는 특성을 갖는다. 고정 문턱전압 보다 낮은 문턱전압 (low-threshold voltage)의 트랜지스터는 동작속도가 향상되는 반면, 소비전력이 증가하는 단점을 가진다. 이와 반

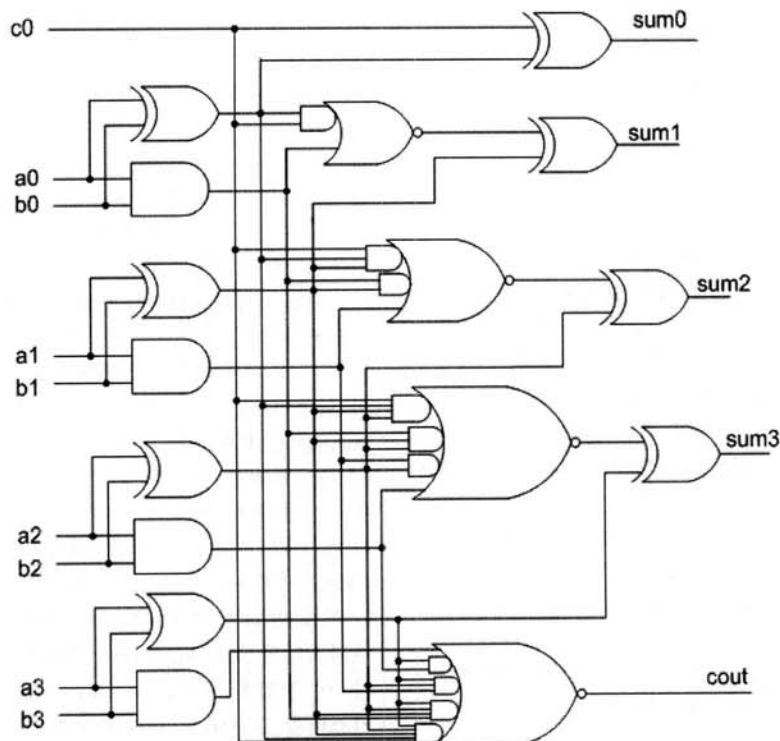
대로 높은 문턱전압 (high-threshold voltage)의 트랜지스터는 동작속도는 저하되지만, 소비전력이 감소하는 장점을 가진다. 다양한 문턱전압에 따른 트랜지스터들의 단점을 보완하고, 장점을 활용하여 설계한다.

본 논문에서는 기존의 CMOS 구조와 동일한 구조를 사용하면서, 고속동작을 위해 회로의 임계경로 (critical path)에는 저 문턱 전압 트랜지스터를 적용하고, 저 전력 동작을 위해 최단경로 (shortest path)에는 고 문턱 전압 트랜지스터를 적용하였다. 그 외의 논리블럭들은 정상 문턱전압의 트랜지스터를 사용하여 저 전력특성을 가지는 16 비트 캐리 예측 가산기를 설계하였다. 본 논문은 다음과 같이 구성한다. 먼저, 2장에서 다중 문턱전압 CMOS 기술 적용원리와 캐리 예측 가산기의 설계과정을 설명한다. 3장에서 CMOS로 설계한 캐리 예측 가산기와 설계한 캐리 예측 가산기의 성능을 비교 설명하였다. 마지막으로 4장에서 결론을 맺는다.

## 2. 다중 문턱전압 CMOS 캐리 예측 가산기

### 2.1 4 비트 캐리 예측 가산기

본 논문에서는 디지털 회로의 기본요소인 가산기를 다중 문턱전압 CMOS기술을 이용하여 설계하였다. 가산기는 용도와 특성에 맞게 리플 캐리 가산기 (ripple carry adder), 조건 합 가산기 (conditional sum adder), 캐리 선택 가산기 (carry select adder), 캐리 저장 가산기 (carry save adder), 캐리 예측 가산기 등의 많은 가산기들이 개발되었다. 본 논문에서는 많은 회로에 일반적으로 사용되는 캐리 예측가산기



(그림 2) 4 비트 캐리 예측 가산기 회로

〈표 1〉 다중 문턱전압

|      | 낮은 문턱전압      | 정상 문턱전압      | 높은 문턱전압      |
|------|--------------|--------------|--------------|
| NMOS | 0.34±0.08[V] | 0.58±0.08[V] | 0.82±0.08[V] |
| PMOS | 0.55±0.10[V] | 0.80±0.10[V] | 1.05±0.10[V] |

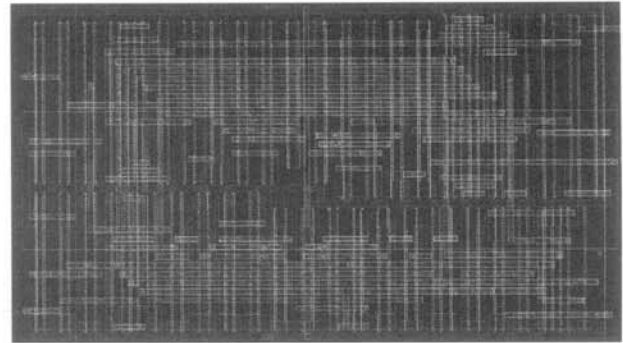
를 다중 문턱전압 트랜지스터를 적용하여 저 전력회로로 설계하였다.

〈표 1〉은 본 논문에서 사용한 NMOS와 PMOS 트랜지스터의 문턱전압 값이다. HSPICE 시뮬레이션을 통하여 얻은 다양한 문턱전압들 중 삼성 0.35um 표준 CMOS 트랜지스터를 기준으로 가장 전과 지연이 적은, 즉, 동작 속도가 빠른 낮은 문턱전압 트랜지스터와 소비전력이 가장 적은 높은 문턱전압 트랜지스터를 회로설계에 사용하였다.

캐리 예측 가산기는 리플 캐리 가산기의 단점을 보완하기 위해 입력A(a0, a1, a2, a3)와 B(b0, b1, b2, b3)가 주어질 때, 모든 캐리를 동시에 발생시켜 계산시간을 단축시킨 가산기이다. CMOS 회로에서 팬인 (fan-in)이 증가할 경우 전과 지연시간 (propagation delay time)의 증가로 팬인의 수를 제한한다. 따라서 캐리 예측 가산기는 4 비트를 기본 블록으로 하여 설계한다.

(그림 2)는 4 비트 캐리 예측 가산기의 회로도이다. 4 비트 캐리 예측 가산기는 c0, a0~a3, b0~b3의 9 비트의 입력으로부터 Sum0, Sum1, Sum2, Sum3, Cout의 5 비트의 출력이 발생한다. 출력들의 전과 지연시간은 팬인과 연관되어 Sum0 < Sum1 < Sum2 < Sum3 < Cout 순으로 증가하여 발생된다.

일반적인 CMOS를 이용한 4 비트 캐리 예측 가산기에서 입력에 따른 출력의 전과 지연시간들을 추정하여 임계경로를 찾는다. 팬인이 가장 많아 전과 지연시간이 가장 큰 Cout 출력과 관련된 회로부분에 낮은 문턱전압 트랜지스터를 적용하여 동작속도를 증가시키므로 Cout의 전과 지연시간을 감소시킨다. Cout 뿐만 아니라 전과 지연시간이 큰 Sum3 출력 값 역시 감소된 Cout의 전과 지연시간보다 작은 전과 지연시간을 갖도록 회로의 일부분을 낮은 문턱전압 트랜지스터를 적용하여 설계한다. 따라서 일반적인 CMOS 회로보다 전과 지연시간이 감소한 캐리 예측 가산기를 설계할 수 있다. 그러나 낮은 문턱전압 트랜지스터의 단점인 소비전력 증가로 캐리 예측 가산기의 전체 회로의 소비전력이 증가한다. 이 문제를 해결하기 위해 입력에 따른 출력의 전과 지연시간들을 추정하여 최단경로를 찾는다. 증가된 소비전력을 감소시키기 위해 전과 지연시간이 작은 Sum0, Sum1, Sum2의 출력과 관련된 회로부분에 높은 문턱전압 트랜지스터를 적용하여 소비전력을 감소시키되, 각각의 전과 지연시간은 Cout의 감소된 전과 지연 시간보다 작은 값이 되도록 설계한다. 그 외의 논리블럭들은 정상 문턱전압의 트랜지스터를 이용하여 설계한다. 이러한 높은 문턱전압 트



(그림 3) 4 비트 캐리 예측 가산기의 레이아웃

랜지스터 사용으로 일반적인 CMOS회로 보다 소비전력이 감소되고, 결국 전과 지연시간과 소비전력 모두에서 일반적인 CMOS 회로보다 성능이 향상된 회로를 설계하였다.

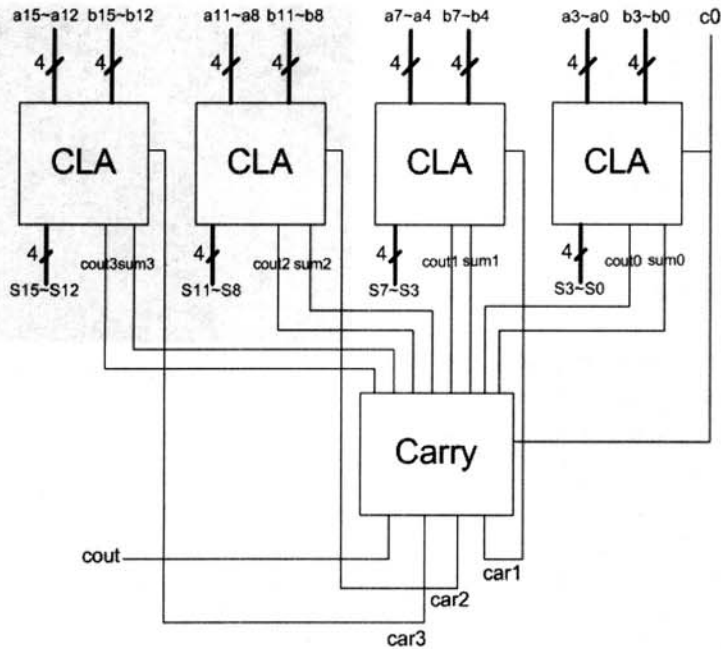
(그림 3)은 삼성 0.35um 공정에서 4 비트 캐리 예측 가산기의 레이아웃 (layout) 이다. 본 논문은 일반CMOS 회로에서 임계경로에 낮은 문턱전압 트랜지스터, 최단경로에 높은 문턱전압 트랜지스터, 나머지 논리블럭에 정상 문턱전압의 트랜지스터를 적용한 것으로, 회로 크기는 일반적인 CMOS 회로와 동일하다.

2.2 16 비트 캐리 예측 가산기

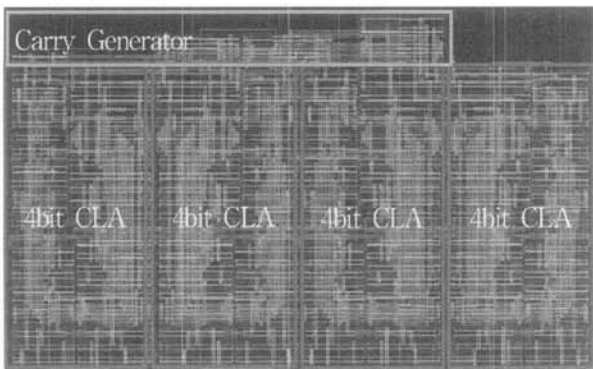
(그림 4)는 16 비트 캐리 예측 가산기의 구조도이다. 구조도에서 알 수 있듯이 16 비트 캐리 예측 가산기는 4 비트 캐리 예측 가산기 블록 4개와 캐리를 빠르게 생성하기 위한 캐리 발생기 (carry generator)로 설계되어 4 비트 캐리 예측 가산기와 다른 임계경로를 가진다. 그로 인해 전과 지연시간을 감소시키기 위한 낮은 문턱전압 트랜지스터의 사용이 기존 4 비트 캐리 예측 가산기의 설계보다 증가하게 된다. 증가한 소비전력은 근래의 설계경향인 저 전력 설계에 반하는 것이다. 따라서 캐리 예측 가산기의 동작 속도에서는 일반적인 CMOS 캐리 예측 가산기의 수준을 유지하면서, 소비전력을 감소시킨 저 전력 회로를 설계하였다.

4 비트 캐리 예측 가산기의 설계에서 전과 지연시간을 감소시킨 후 소비전력을 감소시켰다. 그러나 16 비트 캐리 예측 가산기에서는 전과 지연시간을 감소시키기 위해 많은 수의 낮은 문턱전압 트랜지스터의 사용은 급격한 소비전력의 증가를 발생하고, 이러한 소비전력의 증가를 감소시키기 위한 높은 문턱 전압 트랜지스터의 사용에는 한계가 있다. 따라서 소비전력을 먼저 감소시킨 후 임계경로에 낮은 문턱전압 또는 일반적인 문턱전압 트랜지스터를 적용하여 전과 지연시간을 감소시키는 저 전력 회로를 설계하였다.

(그림 5)는 4 비트 캐리 예측 가산기 4개와 캐리 발생기를 포함한 16 비트 캐리 예측 가산기이다. 16 비트 캐리 예측 가산기 또한, 일반CMOS 회로에서 임계경로에 낮은 문턱전압 트랜지스터, 최단경로에 높은 문턱전압 트랜지스터, 그 외의 논리블럭에 정상 문턱전압의 트랜지스터를 적용한 것으로, 회로 크기는 일반적인 CMOS 회로와 동일하다.



(그림 4) 16 비트 캐리 예측 가산기의 구조



(그림 5) 16 비트 캐리 예측 가산기의 레이아웃

### 3. 결과 및 비교

일반적인 CMOS로 설계한 캐리 예측 가산기와 다중 문턱전압 CMOS를 적용하여 설계한 캐리 예측 가산기의 전파 지연시간과 평균 소비전력을 비교하였다.

4 비트 캐리 예측 가산기는 입력 값들이 출력으로의 전파 지연시간이 일정하게 증가하여 전파 지연시간 감소하고 소비전력이 감소하는 두 가지 성능이 향상된 설계를 할 수 있었다. 그러나 16 비트 캐리 예측 가산기에서는 팬인의 영향으로 4 비트 캐리 예측 가산기 블록 4개와 캐리발생기를 이용한 설계를 하게 된다. 따라서 임계경로가 변경되고 전파 지연시간을 감소시키기에 다수의 낮은 문턱전압 트랜지스터의 사용은 소비전력의 증가시키므로, 저 전력 회로 설계를 위해 낮은 문턱전압 트랜지스터 사용을 최소화하여 설계하

였다.

<표 2>는 일반적인 CMOS 캐리 예측 가산기와 본 논문에서 설계한 캐리 예측 가산기의 성능을 비교한 표이다. 소비전력은 14.71%의 감소를 보였고, 전파 지연시간은 1.65% 감소하였다. 또한, 디지털 회로의 비교척도가 되는 전파 지연시간과 소비전력의 곱(power-delay-product : PDP)에서 16.11% 향상된 회로를 설계하였다.

<표 3>은 기존 다중문턱전압 CMOS 회로와 본 논문에서 제시한 회로의 비교표이다. 기존의 다중 문턱전압 CMOS 회로는 공급전원 단자 또는 접지단자와 논리블럭사이에 슬립 트랜지스터가 추가하여 활성모드(active mode)와 슬립모드(sleep mode)로 동작을 한다. 이 회로는 두 개의 문턱전압(낮은 문턱전압과 높은 문턱전압)을 사용한다. 여기서 슬립 트랜지스터는 누설전류(leakage current)를 최소화하기 위해서 높은 문턱 전압 트랜지스터를 사용하며, 논리블럭은 고속동작을 위해 낮은 문턱전압 트랜지스터를 사용한다. 기존의 다중 문턱전압 CMOS 회로는 디지털 회로에서 누설전류를 감소시키는 효과적인 방법이다. 그러나 이 회로는 일반적으로 접지단자와 논리블럭 사이에 슬립트랜지스터를 추

<표 2> 16 비트 캐리 예측 가산기의 성능 비교표

|            | 전파 지연시간 (nS) | 소비전력 (mW) | PDP [ $\mu$ J] |
|------------|--------------|-----------|----------------|
| 일반 CMOS 회로 | 2.43         | 1.36      | 3.30           |
| 본 논문의 회로   | 2.39         | 1.16      | 2.77           |
| %          | 1.65         | 14.71     | 16.11          |

〈표 3〉 기존 다중 문턱전압 회로와 본 논문의 회로의 비교표

|         | 본 논문의 회로                                | 기존의 다중 문턱전압 CMOS           |
|---------|---|----------------------------|
| 사용 문턱전압 | 3개<br>- 고 문턱전압<br>- 정상 문턱전압<br>- 저 문턱전압 | 2개<br>- 고 문턱전압<br>- 저 문턱전압 |
| 회로구조    | 일반 CMOS 구조와 동일                          | 슬립 트랜지스터 추가                |
| 동작모드    | -                                       | 활성모드와 슬립모드                 |
| 점유면적    | 일반 CMOS 구조와 동일                          | 12% 증가                     |
| 적용분야    | 정상 동작시간이 많은 기기                          | 슬립모드 동작시간이 많은 휴대용 기기       |
| 잡음 면역성  | 우수                                      | 미흡                         |

가되므로, 이로 인하여 가상접지단자에 그라운드 울림현상(ground bounce)이 발생한다. 즉, 가상 접지단자에 잡음이 발생할 가능성이 높으며, 이로 인하여 본 논문에서 제시한 회로에 비해 잡음 면역성(noise immunity)이 미흡하다. 또한 추가된 슬립 트랜지스터로 인한 면적이 증가하는 단점을 갖는다. 일반적인 배치 및 배선(P&R : placement and routing) 방식을 이용하여 레이아웃을 할 때 약 12%의 면적 증가가 발생한다[8]. 이 회로는 슬립모드 동작을 많이 할 때 특히 저 전력 특성이 가장 우수하여 휴대용 기기에 적합한 저 전력 회로이다.

본 논문에서 제시한 회로는 기존의 CMOS 구조와 동일한 구조로 세 개의 문턱전압(낮은 문턱전압, 정상 문턱전압, 높은 문턱전압)을 사용한다. 고속동작을 위해 회로의 임계경로에는 낮은 문턱 전압 트랜지스터를 적용하고, 저 전력 동작을 위해 최단경로에는 높은 문턱 전압 트랜지스터를 적용하였다. 그 외의 논리블럭들은 정상 문턱전압의 트랜지스터를 사용하였다. 따라서 본 논문에서 제시한 회로는 일반 CMOS구조와 동일하여 그라운드 울림 현상이 발생할 가능성이 낮아 기존의 다중 문턱전압 CMOS 회로에 비해 잡음 면역성이 우수하며, 일반 CMOS 구조와 동일한 면적을 갖는다. 이 회로는 정상 동작이 많은 일반회로에 적용할 수 있다.

#### 4. 결 론

본 논문에서는 세 개의 문턱전압(낮은 문턱전압, 정상 문턱전압, 높은 문턱전압)을 이용하여 저 전력 16 비트 캐리 예측 가산기를 설계하였다. 설계한 가산기는 전파 지연시간을 감소시키기 위해 임계경로에 낮은 문턱전압 트랜지스터를 사용하였다. 또한 소비전력을 감소시키기 위해 전파 지

연시간이 짧은 경로에 높은 문턱전압 트랜지스터를 사용하였으며, 그 외의 논리블럭에는 정상 문턱전압의 트랜지스터를 사용하여 14.71%의 소비전력 감소와 16.71%의 소비전력과 전파 지연시간의 곱의 향상을 이루었다.

#### 참 고 문 헌

- [1] Neil H. E. Weste, Kamran Eshraghian. "Principles of CMOS VLSI Design", Addison-Wesley Publishing Company 2005.
- [2] A. Rjoub and O. Koufopavlou, "Low-Power Domino Logic Multiplier Using Low-Swing Technique", in Proceeding of IEEE International Conference on Electronics, Circuits and Systems, Vol.2, pp.45-48, 1998.
- [3] Nan Zhuang and Haomin Wu "A New Design of the CMOS Full Adder", IEEE Journal of Solid-State Circuits, Vol.27, No.5, May, 1992.
- [4] Jyh-Ming Wang, Sung-Chuan Fang, and Wu-Shiung Feng, "New Efficient Design for XOR and XNOR Functions on the Transistor Level", IEEE Journal of Solid-State Circuits, Vol.29, No.7, July, 1994.
- [5] Jang-Hee Kang and Jeong-Beom Kim "Design of a Low Power CVSL Full Adder Using Low-Swing Technique", IEEE International Conference on Semiconductor Electronics, 7-9, December, 2004.
- [6] Mohab Anis, Shawki Arebi, and Mohamed Elmasry "Design and Optimization of Multi-Threshold CMOS (MTCMOS) Circuits", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol.22, No.10, October, 2003.
- [7] Harmander S. Deogun, Dennis Sylvester, and Kevin Nowka "Fine Grained Multi-Threshold CMOS for Enhanced Leakage Reduction", IEEE International Symposium on Circuits and Systems, 21-24, May, 2006.
- [8] H. Won, K. Kim, K. Jeong, K. Park, K. Choi, and J. Kong, "An MTCMOS design methodology and its application to mobile computing," in International Symposium on Low Power Electronics and Design, 2003, pp.110-115.





### 김 동 휘

e-mail : dh47.kim@samsung.com

2004년 강원대학교 전자공학과(학사)

2006년 강원대학교 대학원 전자공학과  
(석사)

2006~현 재 삼성 SDI AM 개발팀  
연구원

관심분야: LDI설계, 저 전력 회로설계



### 김 정 범

e-mail : kimjb@kangwon.ac.kr

1985년 인하대학교 전자공학과(학사)

1987년 인하대학교 대학원 전자공학과  
(석사)

1997년 포항공과대학교 대학원 전자전기  
공학과(박사)

1987년~1992년 금성반도체 중앙연구소 선임연구원

1994년~1997년 현대전자 시스템IC연구소 책임연구원

1997년~1998년 충북대학교 전기전자공학부

1999년~현 재 강원대학교 전기전자공학부 교수

관심분야: VLSI 설계