연구교육용 CAD 툴에 의한 이차원 디지탈필터의 설계

송 낙 운† · 김 종 준††

요 약

본 연구에서는 연구교육용 CAD 툴을 이용하여 이차원 디지탈필터를 설계하고 모의실험을 수행하였다. 이차원필터는 크게 일차원 디지탈필터와 선메모리(line memory)로 구성되어있다. 일차원 디지탈필터에서의 속도 개선을 위하여 곱셈은 CSD(Canonical Signed Digit) 형태로 주어진 필터계수에 의하여 선이동방식으로 수행하며, 덧셈에는 CSA(carry-save adder)와 MA(Manchester adder)를 사용하였다. 설계된 디지탈필터는, VHDL 모의실험의 경우 30 Mhz까지 동작하였으며, Berkeley CAD 툴에 의한 레이아웃 설계를 수행하여 IRSIM에 의하여 정상적인 동작을 확인하였다.

Design of Two-dimensional Digital Filter by Research and Educational CAD Tools

Lak Woon Song† · Jong Joon Kim††

ABSTRACT

In this work, two-dimensional FIR digital filter is designed and simulated using research and educational CAD tools. The two-dimensional digital filter consists mainly of one-dimensional digital filter and line memory. To speed up one-dimensional digital filter, multiplications are carried out on the basis of hardwired-shifting methods by the digital filter coefficients represented in CSD formats, while carry-save adder and Manchester adder are used in addition. It is found that the designed digital filter operates up to 30 Mhz in VHDL simulation and operates normally in IRSIM simulation for the layout made by Berkeley CAD tools.

1. 서 론

최근 디지탈 신호처리(DSP:digital signal processing) 기법이 각종 첨단 전자제품에 적용이 되고 있으며 아울러 관련부품의 VLSI 설계기법에 관한 연구가 활발히 진행되고 있다. 일반적으로 DSP 분야에서 디지탈 필터(DF:digital filter)는 시스템의 전처리와 후처리 부분에 위치하며 코우딩 부분의 데이타처리에 중요한 역할을 하게 된다. 아울러 신호처리분야도 multi-rate, 다차원 신호처리분야로 연구되고 있으며, 응용분야도 음성 및 영상 등의 coding compression을 포함한 transform, filter bank, modulation/demodulation, adaptive equalization, image enhancement & restoration 등으로 확장되고 있다.

이의 구현 방법으로서도 완전주문형(fullcustom), 반주문형(semicustom:standard-cell, gate array) 등의 각종 설계 및 공정기술상의 선택이 있게 되며, 이의 설계는 CAD의 도움을 받아 컴파일레이션 개념에 의

† 정 회 원:홍익대학교 전자공학과 부교수
†† 정 회 원:이화여대 의류직물학과 조교수
논문접수:1995년 9월 5일, 심사완료:1996년 5월 29일

해 구현하는 것이 일반적인 추세이다. 예를 들면, UC, Berkeley의 Broderson et al.[1]은 그들이 개발한 LAGER 실리콘컴파일러를 통해 상위단계의 필터설계기술을 하위단계레이아웃으로 전환하는 작업을 통하여 각종 통신시스템에 응용되는 DF 뱅크를 구현하였다. 동대학의 Man et al.[2]은 CATHEDRAL S/W 개발을 통하여 톱다운 설계방법을 정립하였다. GE 팀도 그들의 컴파일러인 PARSIFAL을 사용하여, 각종 DSP-IC를 개발하였으며[3], 아울러 파이프라인 구조에서의 스케쥴링, 하드웨어공유에 의한 DF의 설계에 관한 연구도 수행하였다[4]. Caltech의 Vaidyanathan et al.[5]은 multirate DF에 관한 검토 논문을 발표하였으며, TI의 Yoshino et al.[6]은 0.8 m BiCMOS G/A를 통해 FIR DF를 구현하였으며, Balestro et al.[7]은 신호처리용 실리콘컴파일러를 통해 DF를 ASIC 설계하였다.

한편, 이러한 일련의 연구들이 고속 DSP의 응용분야에 집중되면서, 일차원 디지탈필터(1D DF:one-dimensional digital filter)외에도 영상에 관한 이차원 디지탈필터(2D DF:two-dimensional digital filter) 연구도 활발히 진행되었다[8]. 특히 이는 디지탈 TV의 영상신호처리에 관련된 연구가 많은 편인데, NTT의 Nagatani et al.[9]은 컬러 TV에서 NTSC encoding/decoding하는 회로에서의 선메모리, DF의 설계를 표준셀 CAD 환경을 통해 설계하고, Siemens의 Zehner et al.[10]은 이차원 TV 영상처리를 위한 필터의 구조에 관하여 연구설계하였으며 pointer-addressed RAM의 구조를 제시하였다. NHK의 Abe 팀[11]은 HDTV용의 속도와 전력소모 등을 개선한 구조의 2D DF를 제안하였으며, NEC의 Miyazaki et al.[12]은 NTSC 컬러 TV의 Y/C 분리필터를 실리콘컴파일러에 의하여 설계하였다. 이외에도 다양한 구조의 영상필터의 구현에 관한 연구가 있다. Kawata et al.[13]은 화상처리(image processing)를 위한 이차원 공간필터칩을 부동소수점 형태에 의한 계수채택으로 구현하였다. Pestel et al.[14]은 HDTV의 서브밴드 필터뱅크의 구성에서 이차원 QMF의 구현에서의 다양한 선메모리, FIFO 메모리 등의 구조를 제안하였다. 한편 이러한 구조에 대하여, 보다 일반적인 연산을 위한, 계수가변 곱셈기를 채택한 프로그램가능 구조에 관한 연구[15,16]와, 나아가서는 일반적인 VSP(video signal processor, 혹은 VIP:video image processor)의 설계에 의한 DF의 구현에 관한 연구가 있다. 한편, 이들의 속도를 증가시키기 위하여 구조상의 병렬성(parallelism)을 이용한 시도로서 파이프라이닝[17], 씨스톨릭 어레이(systolic array)[18] 등의 구조 및 알고리즘상의 병렬성, 즉, 분산연산(distributed arithmetic), residue arithmetic 등에 관한 많은 연구가 있다. 예를 들어, Wu[19]는 이차원 비트직렬형 시스톨릭 구조와 block processing, 병렬알고리즘에 의한 구조를, Venetsanopoulos et al.[20], White et al.[21]은 메모리에 기본을 둔 분산연산 구조를 제안하였으며, Shanbhag et al.[22]은 고전적인 look-up table 방식이 아닌 residue number system을 이용하여 속도와 면적문제를 상당히 개선시켰다.

이상에서와 같이 많은 연구가 DF 설계에 관해 이루어졌으나 아직도 알고리즘 분야에 국한된 감이 있으며 주로 상용툴에 의한 방법에 치우쳐 저변 설계기술확보에는 미흡한 바가 많았다. 이러한 문제점을 개선하기 위하여 본 연구에서는 주로 대학에서 개발된 교육 및 연구용 CAD 툴을 이용하여 2D DF를 설계하며 이의 설계방법을 정립한다. 이러한 툴들은 통합체계가 미흡하며 상호대화적인 수행을 진행할 때도 관련 S/W의 쏘스코드를 수정해가며 수행하여야 하는데 이러한 불편함에도 불구하고 가격 및 관련 기술의 축적 등 교육적인 효과가 크며, 디지탈필터의 설계와 성능의 개선 및 향후 자동화설계의 방법을 구체적으로 정립하는데 매우 중요하므로 이를 채택하였다. 먼저 2D DF의 모의실험은 동작을 상위 C 언어로 작성하여 확인한후 이를 Pittsburgh-VHDL 언어를 이용하여 구조모델링(structural modeling)으로 모의실험을 수행한다. 특히 이 경우 곱셈은 CSD에 의한 hard-wired 이동방식에 의하여 구현하며 CSA와 MA(Manchester adder)를 이용하여 속도를 개선한다. 아울러 관련된 레이아웃설계는 Berkeley CAD 툴에 의하여 진행한다.

이를 위한 본 논문의 구성은 다음과 같다. 다음 2장에서 2D DF의 특성을 알고리즘과 아키텍처의 관점에서 검토하며, 3장에서는 설계하고자 하는 디지탈필터의 설계환경을 설정하고 정격을 정하며 이의 알고리즘 및 아키텍처를 결정하며 관련 회로를 결정한다. 다음 4, 5장에서 각각 상위, 하위 단계의 설계 및 모의실험을 수행하며 결과를 검토하고 6장에서 결론을 언

급한다.

2. 이차원 디지탈필터의 특성

본장에서는 2D DF의 기본이론을 2D DSP의 S/W 차원에서 검토하며 아울러 이의 아키텍처를 H/W설계의 측면에서 검토하였다.

2.1 알고리즘

DF의 알고리즘단계에서의 분류로는 FIR, IIR 및 해당 다항식근사에 따른 분류등이 있다. 이에 따른 성능 평가로서 위상(phase), 안정도(stability), 속도(speed) 등이 있으며, 워드 길이, 계수 등이 이들 H/W의 크기를 결정하게 된다[23]. 문헌[8]에 일반적인 FIR, IIR 필터의 관하여 비교언급되었듯이, 이차원 DSP, 즉, 비디오신호처리를 위하여서는 대체로 대칭선형위상(symmetrical linear phase) 특성의 2D DF가 필요하게 된다. 이러한 FIR 필터의 Z-변환함수는 다음과 같다[11].

$$H(z_1, z_2) = \sum_{i=0}^{(N-1)/2} \sum_{j=0}^{(N-1)/2} h_{ij}(z_1^i + z_1^{-i})(z_2^j + z_2^{-j}) \; z_1^{-(N-1)/2} z_2^{-(N-1)/2} \quad (1)$$

즉 이차원 필터링은 크기가 N×N인 입력 신호(이차원 화상 신호)와 필터 커널과의 이차원 컨벌루션(convolution)으로 표현된다. 이제 크기가 N×N인 입력 화상 신호와 크기가 M×M인 필터 커널과의 이차원 컨벌루션을 계산하는 경우, 결과적인 출력 신호의 크기는 (N+M−1)×(N+M−1)가 되는데 우리가 필요로 하는 출력은 여기서 N×N만을 취하면 된다. 첨자 i와 j는 수직, 수평 방향 성분을 의미한다.

일반적으로 2D FIR DF에서의 계수는 1D DF의 개념을 확장하여 구한다. 일반적인 필터계수를 구하는 방법에는 윈도우, 주파수 샘플링, 주파수변환 등에 의한 방법이 있다[8]. 한편, 영위상(zero-phase)을 갖는 FIR 필터의 계수는 홀수 또는 짝수 대칭적 성질을 갖는데 일반적으로 이러한 계수의 대칭성을 이용하여 곱셈 등의 연산을 줄일 수가 있다.

2.2 아키텍쳐

DF의 아키텍쳐에 의한 분류는 단일칩에 의한 일반용도의 DSP 프로세서와 AS(algorithm-specific)-DSP 및 이들의 중간에 해당하는 구조가 있다. 이들은 대개 요구되는 데이타 처리속도에 의하여 선택결정이 된다. 이중 AS-DSP 칩의 경우도 구조면에서 direct, cascade, lattice(transposed) 등으로 분류할 수가 있으며, 일단 이들이 구해지면 파이프라인 등의 구조첨가도 고려할수가 있게 된다[23]. 앞장에서 언급한바와 같이 DF의 ASIC 설계에 대한 다양한 연구가 이루어졌다. 이러한 AS-DSP filter도 ASIC의 구현방법 및 구성회로에 따른 분류를 할수가 있는데, 이러한 2D DF의 아키텍쳐는 일반적으로 1D DF를 근간으로 하여 필드메모리(field memory) 등 필요한 레지스터를 추가하여 구현하게 된다. 일반적으로 이차원 필터를 구현하는데는 알고리즘에서 H/W 모듈셀에 이르는 각 단계에서의 다양한 방법이 있으며 transposed 구조의 경우에 계수의 대칭성 및 계산순서 등의 변형을 이용한 FTC(fully transposed configuration)와 STC(semi-transposed configuration) 구조 등이 고려될수가 있으며[11], 1D DF에서의 계수관련곱셈의 H/W 구현에도 메모리, 곱셈기, CSD 등 다양한 방법이 있게 된다. 한편 2D DF 관련 지연성분(delay element)은 1D DF상의 지연성분과 필드라인저장을 위한 성분이 있게 되는데, 전자의 경우는 일반적인 래치로 구현하며, 후자에 해당하는 고속의 영상신호데이타의 저장을 위한 라인버퍼는 레지스터(shift register 등)나 메모리(pointer-addressed RAM 등)를 이용하여 구현하게 된다. 전자의 경우 면적과 소비전력면보다는 정확한 신호전송상의 잇점이 있는 반면에, 후자의 경우 면적과 전력소모면에서 잇점이 있게 되며 이에는 독자적인 필드메모리, 비디오 RAM 등 관련 소자가 있다. 각 경우 효율적인 전송을 위하여 병렬성을 고려한 구조로 클록제어를 한다[9].

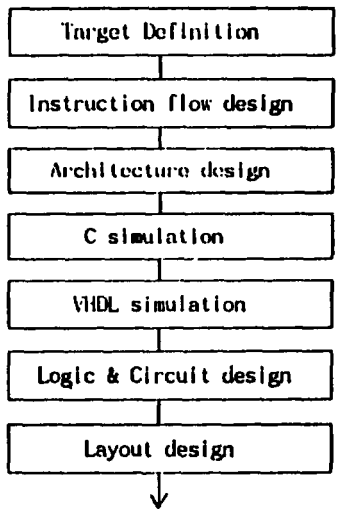
본 장에서의 알고리즘과 아키텍처의 특성을 참조하여 다음 장에서 본 연구에서 설계하고자 하는 2D DF의 정격을 결정하였다.

3. 설 계

3.1 설계 환경

본 연구에서의 필터의 설계는 다음 (그림 1)에서와 같은 순서로 진행하였다. 즉, 먼저 목표를 정하고, 알

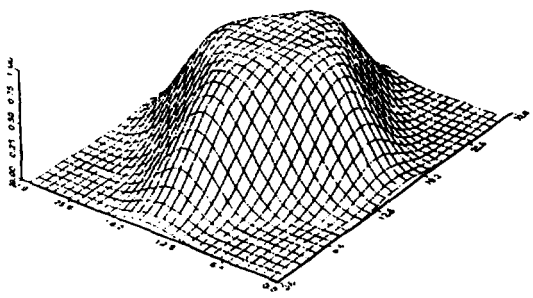
고리즘과 아키텍처를 정한후 모의실험과 하위단계의 설계를 실행하는 순으로 진행한다. 이의 모의실험을 위한 언어로서는 표준 C 및 Pittsburgh-VHDL을 사용하였으며, 레이아웃의 경우에는 Berkeley CAD 툴(MAGIC, OCTTOOL 등)을 사용하였다.



(그림 1) 설계순서도
(Fig. 1) Design flowchart

3.2 알고리즘과 아키텍처

먼저, 목표규격은 문헌[11]과 같이 규칙성과 선형성을 고려한 transversal FIR 필터를 채택하였으며, 구현하고자 하는 LPF(low pass filter)의 특성에 앞에서의 대칭성을 이용하여 구한 필터계수의 값과 이 계수에 대한 CSD 계수를 구한다. 이에 의한 이차원필터의 임펄스 응답특성을 (그림 2)에 나타내었다.



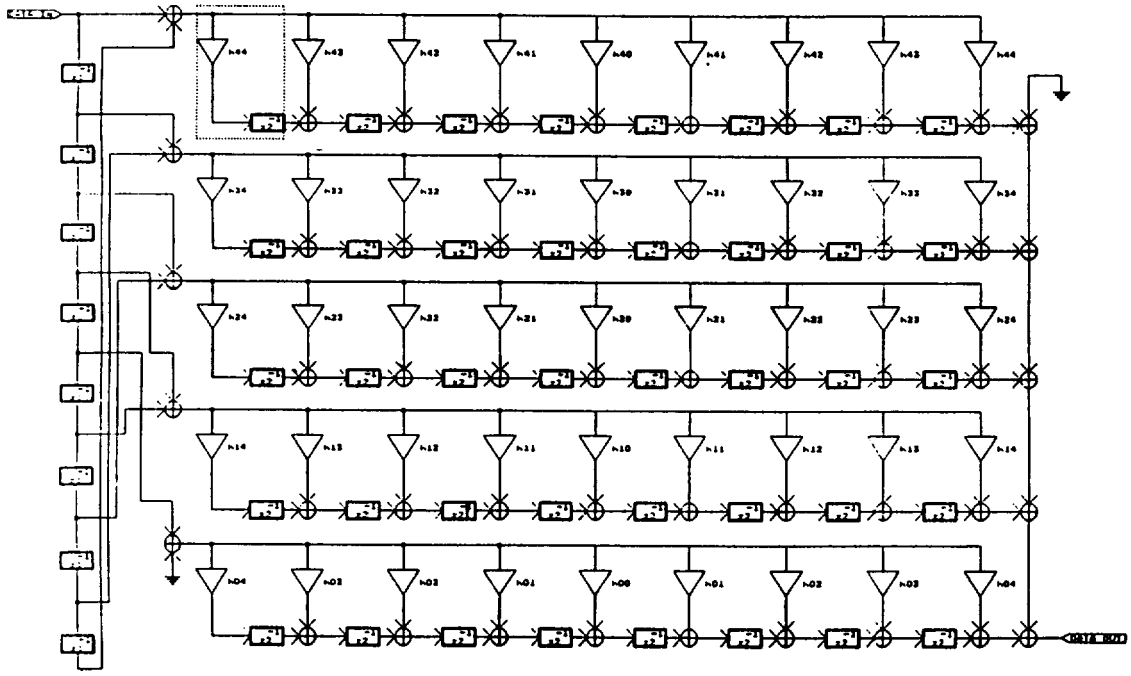
(그림 2) 임펄스 응답
(Fig. 2) Impulse response

다음으로 아키텍처에 관한 사항을 결정한다. 일단 채택한 FIR 필터를 구현하는데, 앞서의 계수의 대칭성(실수이며 홀수 대칭)을 이용하여 9×9 크기의 필터를 5×5 크기의 필터만으로 구현할 수 있다. 그러나 CSD를 이용하여 곱셈기를 구현함으로 인하여 차후 제어경로를 포함한 레이아웃이 너무 복잡해지는 것을 막기위하여 5×5 대신 5×9의 크기를 갖는 이차원 필터를 구현하였다. 이로 인한 H/W와 연결선의 증가로 인해 필터의 면적은 약간 늘어나지만, 대칭성의 일부 존재로 전체 구조는 간단해지고 각 tap의 구조가 거의 유사하게 되어 설계시간을 단축할 수가 있게된다. 다음으로는 전체적인 칩면적을 고려하여 레지스터의 면적의 증가를 완화시키는 STC의 구조를 채택하였다[11].

아키텍처의 하드웨어 기본모듈은 transposed CSD 구조의 1D DF, 선 메모리로 이루어진다. 여기서 사용한 1D FIR 필터는 필터의 계수가 고정이므로 계수를 CSD 코드로 표현한후 이를 CSA(감산기 포함)를 이용하여 내부의 연결을 바꾸는 hard-wired 이동의 방법으로 곱셈기를 구현하였다. 또한 필터의 마지막 단에는 결과적인 캐리와 썸(sum)을 더하기 위한 VMA (vector-merge adder)로써 MA(Manchester adder)를 사용하였다[6]. 1D DF의 각 탭간의 지연성분은 레지스터로 표현하였다. 다음으로는 이차원 화상의 픽셀 중에서 한 행과 다음 행(또는 한 줄과 다음 줄)간의 시간적 차이를 구현하는 선메모리, 즉, 지연선의 모듈이 된다. 가령 입력 화상의 크기가 256×256인 경우 이 지연선은 256개의 레지스터(또는 flip flop)로 구성된다. 아울러 본 연구에서는 두가지 종류의 지연성분(Z1, Z2)이 사용되는데 먼저 Z1은 화상 중에 있는 픽셀 하나에 대한 신호의 시간적 지연을 나타내고, Z2는 화상 스캐닝 주기(즉, 행 또는 열 길이)를 나타낸다. (그림 3)에 본 연구에서 채택한 2D DF의 하드웨어의 전체 구조를 나타내었다.

3.3 회 로

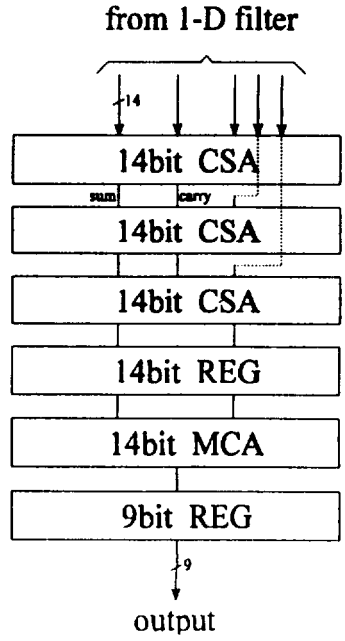
연산부는 기본적으로 일차원 디지탈필터와 출력단(output stage)으로 구성되어 있다. 여기에서 일차원 필터는 다시 전단덧셈기(pre-adder), 탭(tap), 벡터덧



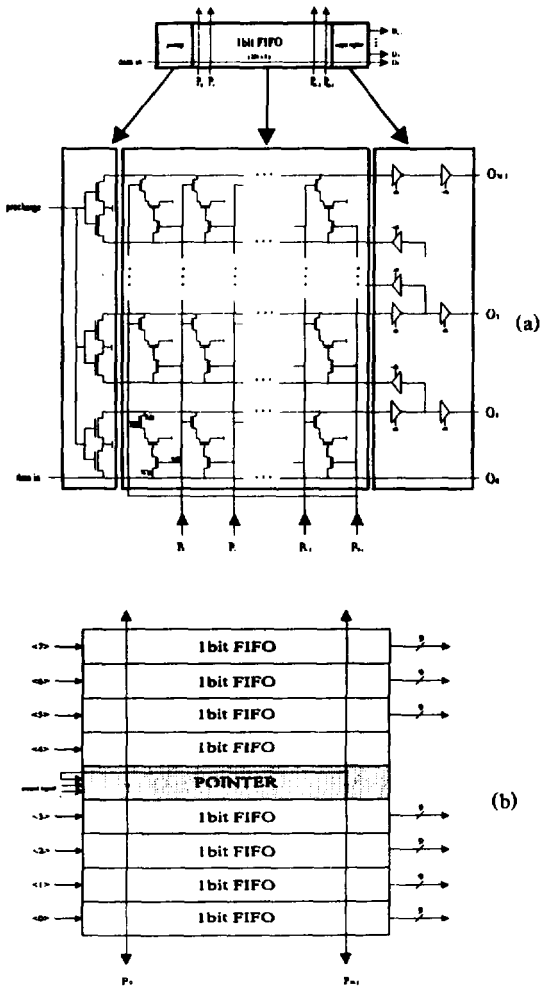
(그림 3) 2D DF 아키텍처
(Fig. 3) 2D DF architecture

셈기(VMA : vector-merge adder)로 이루어졌으며, 출력단은 다시 캐리보존덧셈기(CSA : carry-save adder), VMA로 이루어졌다. 여기서는 일차원 필터 내부에서 사용한 것과 유사한 구조를 사용하여 출력단을 구성하므로써 전체적으로 이차원 디지탈필터의 속도를 개선하였다. (그림 4)에 나타난 것처럼 출력단은 CSA와 레지스터 그리고 VMA로 이루어졌다. 이렇게 함으로써 전체적인 레이턴시(latency)가 1 싸이클 늘어나지만 속도는 약 3배가량 개선된다. 한편 14비트 MCA의 출력데이터는 전단덧셈기에서 일어난 비트 이동($\times 2^3$)과 필터 계수에 적용된 배율성분($\times 2$)를 보상하기 위하여 최하위 비트쪽으로 4비트 이동($\times 2^{-4}$)한 후 9비트 레지스터에 연결하였다.

지연부는 전력소모와 면적을 고려하려 3-Tr DRAM 구조의 포인터어드레싱 방식의 FIFO(first-in-first-out) 선메모리를 택하였다[10]. 이러한 포인터를 이용하여 지연부를 설계하는데 있어서 기본이 되는 메모리셀은 3-트랜지스터 DRAM 셀을 사용하였다. 이때 인접



(그림 4) 출력단
(Fig. 4) Output stage

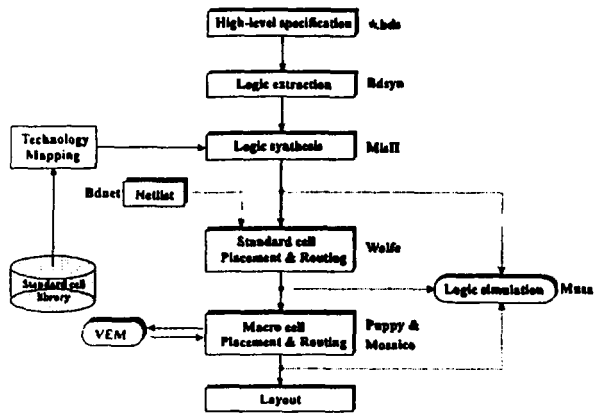


(그림 5) FIFO의 구성도 (a) 1 비트 FIFO (b) 8 비트 FIFO
(Fig. 5) FIFO structure (a) 1 bit FIFO (b) 8 bit FIFO

한 셀간의 워드선을 공유하도록 회로를 단순화하였다. 이렇게 1 비트의 FIFO 셀을 설계확장하며 precharge, cell, output register, pointer, clock, timing control 회로 등을 설계하여 8 비트의 FIFO를 만들었다 (그림 5).

4. 레이아웃

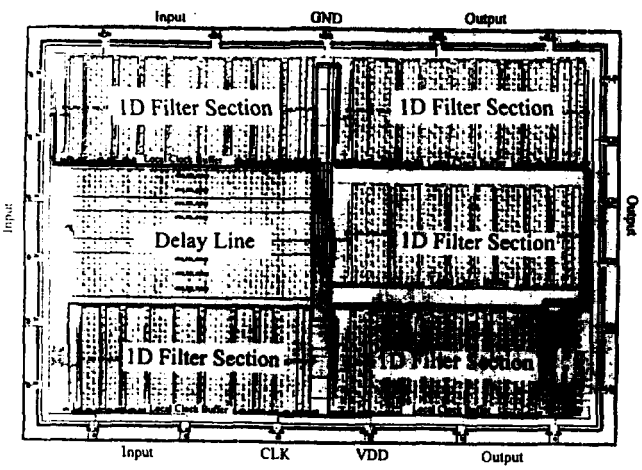
본 연구를 위하여 OCTTOOL, Magic을 사용하여 세미/풀커스텀 설계방식으로 레이아웃을 완성하였으며, 현재 관련 모듈셀들을 설계하였으며 이를 2D DF로 확장하여 설계하였다. 또한 지연선으로는 3-TR을 기본으로 pointer-addressing 타입의 DRAM 어레이로 설계한다. (그림 6)은 위에서 설명한 CAD 시스템에 대한 개략도이다.



(그림 6) CAD 시스템 구성도
(Fig. 6) CAD system chart

칩을 구현하기 위해서 먼저 필요한 것은 칩을 구성하는 각 모듈에 대한 동작을 상위 레벨 언어(BDS: DECSIM에서 사용하는 하드웨어 기술 언어)로 작성한 후 Bdsyn을 이용하여 모듈에 대한 동작적 기술을 BLIF(Berkely Logic Intermediate Format) 형태의 로직 방정식으로 바꾸는 것이다. 다음 단계에서는 이렇게 얻어진 로직 방정식을 MisII를 이용하여 로직 최적화를 수행한 후 로직 방정식에 대한 TM(technology mapping)을 수행한다. 이 과정에서 MSU(Mississippi State University) 표준셀의 네트리스트가 얻어지며, 데이타 관리자인 Oct는 이 네트리스트로부터 해당 셀의 뷰(view)를 만들어 낸다. 일단 이 과정을 수행하고 나면 각 모듈은 표준셀로 구성된 기본적인 심볼릭 레이아웃 형태를 갖게 된다. Wolfe는 MisII에 의해서 얻어진 모듈을 구성하는 표준셀에 대한 배치(placement)와 라우팅(routing)을 수행하므로써 마크로셀을 생성한다. 이 경우 Wolfe 자체는 P&R(placement & routing)을 수행하는 툴과 Oct 사이의 인터페이스를 제공하는 일종의 스크립트이다. 즉 Wolfe는 표준셀배치와 거시적 라우터(global router)인 TimberWolfeSC

(Ver 4.2C)와 미시적라우터(detail router)인 Yarc를 사용한다. 이 과정에서 Wolfe는 마크로셀의 면적과 네트의 총 길이를 줄이기 위하여 표준셀의 위치와 방향을 바꾼다. 최종 레이아웃은 이렇게 만들어진 각 마크로셀을 연결하므로써 이루어지는데, Puppy는 "Simulated Annealing" 알고리즘을 사용하여 마크로셀배치를 수행하며, Mosaico는 이렇게 얻어진 마크로셀에 대한 라우팅을 수행한다. 한편 사용자는 Puppy가 형성하는 배치에 제한(constraints)을 주어 원하는 모양의 배치를 얻거나 혹은 그래픽에디터인 VEM을 이용하여 직접 마크로셀의 위치를 설정할 수도 있다. 본 논문에서는, Puppy가 각 모듈을 회전시키지 않고 모듈의 위치만을 바꾸도록 배치에 제한을 주었다. 이것은 짧은 시간안에 원하는 마크로셀의 배치가 이루어지도록 한다. 또한 각 단계에서 만들어진 셀은 로직 씨뮬레이터인 Musa을 이용하여 네트의 연결 상태를 확인할 수 있으며, 최종적으로 만들어진 레이아웃은 Oct2mag 툴을 사용하여 Magic 상에서 칩의 기능을 검증할 수가 있다. 이상과 같은 방법으로 연산부와 출력단은 반주문형설계를 하였다. 이 경우 피드쓰루셀, 표준셀의 확장, 표준셀의 일부 생성 및 필요한 마크로셀의 생성 등 개선을 하여 설계를 하였다. 다음 (그림 7)에 설계된 이차원 디지탈필터를 보였다. 여기서 지연부는 완전주문형으로 설계를 하여 통합하였다. 이의 실험결과는 다음 장에 논한다.



(그림 7) 2D DF 레이아웃
(Fig. 7) 2D DF layout

5. 모의실험 및 검토

설계한 2D DF의 동작에 대한 확신성을 갖기 위하여 먼저 C 언어로 식 (1)을 직접 표현하여 이상적인 필터의 출력을 예상하여 동작을 확인하였다. 이때 모의실험은, 일반적인 알고리즘적 모의실험(algorithm simulation)과 구조적 모의실험(structure simulation, RTL simulation)의 두 가지를 병행하였으며, 이 결과를 VHDL 모의실험결과와 비교하였다. 후자의 경우 다음 VHDL의 실험경우에서와 같이 해당 하드웨어 모듈(reg., multi., adder 등)을 선언하여 수행하였다. 다음에 이를 VHDL로 모의실험을 하였다. 최종적으로는 레이아웃 설계 칩에 관한 IRSIM에 의한 모의실험을 수행하였다.

모의 실험을 위하여 각 버스의 비트수는 변화하였으며 필터의 입력데이타는 8 비트, 출력데이타는 12 비트가 되도록 하였다. 내부적으로는 8 비트의 입력데이타가 지연선을 나와서 처음 덧셈기를 거친후 9 비트로 되고 이 9 비트의 데이타는 1D DF로 입력될 때, 필터계수와 곱셈(실제로는 입력데이타의 이동)이 된후 14 비트로 확장되는데 여기에는 입력데이타의 이동으로 인한 MSB의 유실을 막기위한 부호연장(sign extension)이 포함되도록 하였다. 한편 선메모리 데이타는 8 비트를 택하였다. 각 단계의 최소지연(minimum delay)은 내부적인 inertial delay 값(1 bit full adder, subtractor, register:2ns, merge adder:4ns, tap (max CSD 4):8ns, 1D DF:12ns)을 가정하였다. 이와 같은 경우, 2D DF에서 하나의 출력데이타가 나오는데 소요되는 시간(clock cycle time:클록주기)은 1D DF의 한 tap단의 지연시간과 5개의 1D DF의 각 행에 위치한 12 비트 덧셈기의 합으로 되지만 필터의 내부에서 일어나는 부호연장, 이동 등에 의하여 이보다는 큰 30 ns 정도로 예상되며, 이에 의하여 30 MHZ 근처까지의 데이타를 처리할 수 있었다. 한편 곱셈기는 CSD로 구현하고 내부적으로는 CSA를 사용하여 캐리와 썸을 파이프라인화하여 속도를 개선시켰으며, 1D DF 끝단에 이러한 캐리와 썸을 합치기 위하여는 속도, 면적, 규칙성 등을 고려하여 MA를 이용한 VMA를 사용하였다[6]. 이 경우, 속도를 더욱 개선하기 위하여 임계경로상의 연산을 개선하기 위한 구조, 즉, 1D DF 최종출력단의 덧셈기를 2단씩 쌍

으로 병렬식으로 진행하는 방법과 1D DF의 아래로 내려오며 레지스터를 추가삽입하여 파이프라인화하는 방법이 가능하게 되며, 여기에서는 (그림 4)에서처럼 후자의 파이프라인식으로 개선하였다. 단 이 경우 하드웨어가 좀 늘어나며, 규칙성이 약간 저하된다.

본 연구에서는 2D DF의 모의실험결과를 주파수영역과 공간영역에서 도출하였다. 다음 (그림 8)에 이의 결과의 예를 보였다. 이때 영상크기는 (256×256)이고 각 픽셀은 gray level을 표현하기 위하여 8 비트로 양자화하였다. 모의실험결과를 비교하면 C 언어 모의실험(구조적 모의실험)에서는 통과대역(passband)에 속하는 주파수 성분은 크기의 열화가 나타나지 않았으나, VHDL 경우에는 곱셈에서 일어나는 입력데이타의 이동으로 인한 비트 절단오차((truncation error)와 원래계수를 CSD로 표현함으로써 나타나는 오차로 인하여 크기의 열화가 나타났다. 대체적으로 C 언어에 의한 구조적 모의실험은 알고리즘적 모의실험과 VHDL에 의한 모의실험의 중간정도의 화질이 되었다.

이때 VHDL에 의한 모의실험의 경우 클록주파수는 30 Mhz 정도까지 동작하였다. 다음 〈표 1〉은 C와 VHDL을 이용하여 주어진 LPF(low pass filter)계수에 의하여 수행한 모의실험 결과에 관한 잡음제거도(fidelity)를 측정한 결과이다[24]. 가우시안 잡음으로 오염(σ=32)된 영상은 이차원 필터링을 수행하면 잡음을 어느 정도 제거할 수 있는 반면에 필터링으로 인하여 영상이 전반적으로 흐려지는 결과를 가져온다. 이것은 영상을 구성하는 고주파 성분이 필터링으로 인하여 유실되었기 때문이다. 그러나 필터링된 영상과 잡음으로 오염된 영상의 MSE(mean square error)를 비교하면 필터링된 영상의 질이 잡음이 섞인 영상보다 더 좋다는 것을 알수 있다.

IRSIM을 이용한 모의실험에서는 작은 영상(16×16)을 입력으로 사용하였으며 잡음의 제거정도를 계산하기보다는 구현된 필터의 동작에 대한 정확성에 모의실험의 목적을 두었다. 레이아웃상에서의 IRSIM 모의실험에 의한 지연은 VHDL 상에서보다 약간 커지는 경향이 나타났으며, 20 Mhz 클록주파수까지 동

(그림 8) C & VHDL 모의실험결과
(Fig. 8) C & VHDL simulation results

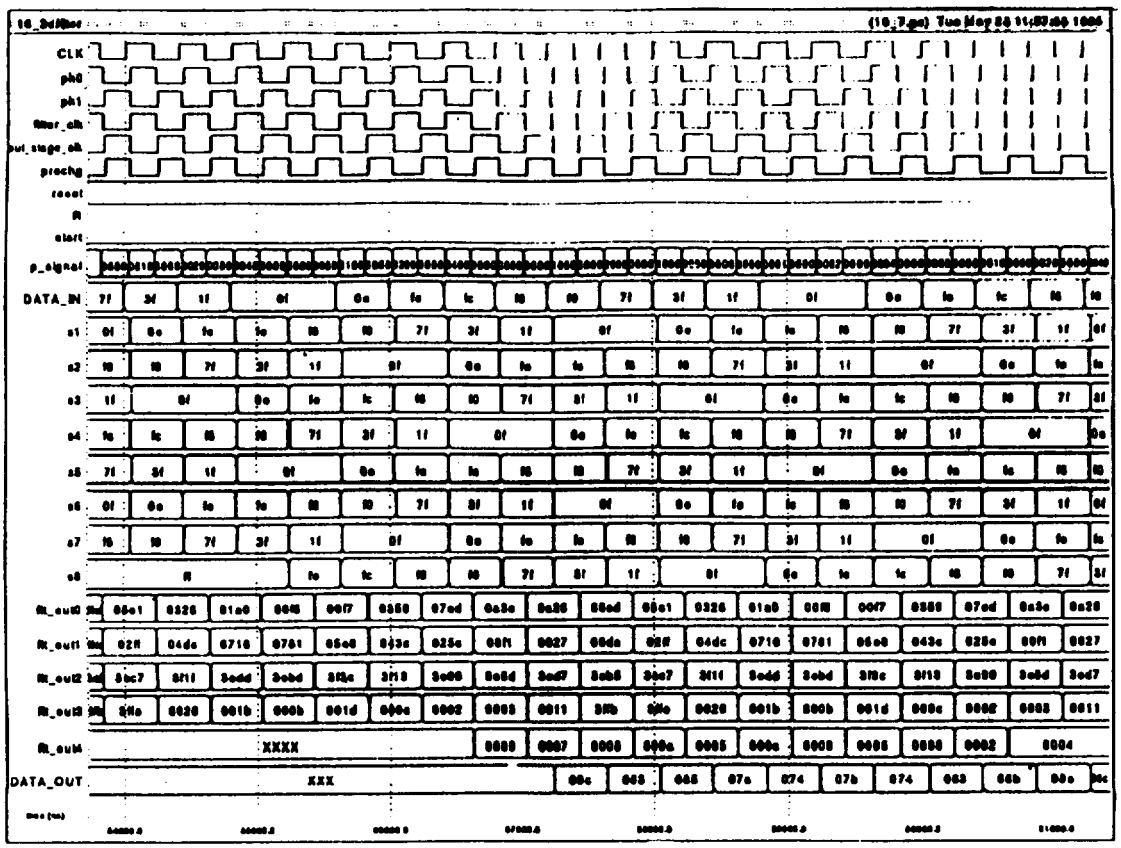
작하였다. (그림 9)는 모의실험 결과를 나타내는 파형의 예이며, 전체 영상의 모의실험결과는 이는 같은 크기의 C, VHDL 실험의 결과와 동일함을 확인하였다. 각 신호에 대한 설명은 〈표 2〉에 나타나 있다.

〈표 1〉 MSE 계산 결과
〈Table 1〉 MSE calculation results

영 상		MSE
Lena 영상	가우시안 잡음으로 오염된 영상	32.22854516
	C를 이용하여 필터링된 영상	16.81103645
	VHDL를 이용하여 필터링된 영상	24.10045803
Baboon 영상	가우시안 잡음으로 오염된 영상	32.22854516
	C를 이용하여 필터링된 영상	20.20896767
	VHDL를 이용하여 필터링된 영상	29.633559801

〈표 2〉 그림의 각 신호의 의미
〈Table 2〉 Meaning of signals in the figure

신 호	의 미
CLK	시스템 클럭 신호
ph0, ph1	delay line의 클럭 신호
filter_clk	일차원 필터의 클럭 신호
out_stage_clk	out_stage의 클럭 신호
prechg	delay line의 precharge 신호
reset, R, start	delay line의 제어 신호
p_signal	포인터 신호
DATA_IN	이차원 필터의 입력 신호
s1 ~ s8	delay line의 출력 신호
flt_out0 ~ out4	일차원 필터의 출력 신호
DATA_OUT	이차원 필터의 출력 신호



(그림 9) IRSIM 모의실험 결과의 예
(Fig. 9) Example of IRSIM simulation result

6. 결론 및 향후 연구방향

본 연구에서는 교육용 P-VHDL 툴을 사용하여 주어진 영상신호에 관한 2D DF를 설계하였으며 이를 algorithm-C, structure-C, VHDL 및 IRSIM으로 모의실험하였다. 필터의 구성은 크게 1D DF와 선메모리로 구성하였으며, 1D DF의 경우 곱셈은 CSD 계수를 이용하여 hard-wired 이동방식으로 수행하였으며 덧셈기는 CSA와 MA로, 출력단을 파이프라인 식으로 구성하였다. 한편 입력데이타의 이동으로 인한 MSB의 유실을 막기 위하여 부호연장이 포함되도록 하였다. 선메모리는 포인터 어드레싱 방식의 FIFO 구조를 채택하였으며, 이웃하는 셀 간에 워드선을 공유하도록 하여 연결선을 줄였다. VHDL 모의실험시, 입력주파수 30 MHZ의 신호에 응답하는 결과를 얻을 수 있었는데, 응답속도는 설정된 하드웨어의 기본적인 지연, 델타지연 등에 의해 어느 정도 제약을 받는데 기인하며 추후 아키텍쳐 수정시에 지연 값의 조정으로 개선할 수 있으리라 본다. 레이아웃의 경우 Berkeley CAD 툴에 의하여 1D DF를 반주문형으로 설계하였으며, 여기에 메모리를 완전 주문형으로 설계 통합하여 전체 2D DF 레이아웃을 수행하였다. 이의 모의실험은 IRSIM로 수행하여 이의 결과를 C, VHDL 모의실험 결과와 비교하여 정상적인 동작을 확인하였다. IRSIM에 의한 모의실험의 경우 동작 클록주파수는 VHDL 모의실험시보다 줄어들었다. 이러한 차이는 상위단계에로의 피드백 개선을 통한 개선으로 줄일 수가 있으리라 본다.

결론적으로, 본 연구를 통하여 대학에서 개발된 연구교육용 CAD 툴에 의한 대형의 2D DF의 설계가 가능함을 확인하였다. 현재 DF의 속도향상을 위한 아키텍쳐의 개선과, 가변적인 계수의 처리를 위한 programmable multiplier에 의한 DF, ADF(adaptive digital filter), 다차원 DF와의 연계된 설계연구를 진행 중이며, 궁극적으로는 DF의 자동화설계환경을 구축하고자 한다.

참 고 문 헌

[1] P. R. Ruetz et al., "Computer generation of digital filter banks," IEEE T-CAD, v. 5., n. 2, pp. 256-265, April 1986.

[2] J. K. J. Van Ginderdeuren et al., "A high-quality digital audio filter set designed by silicon compiler CATHEDRAL-1," IEEE JSSC, v. 21, n. 6, pp. 1067-1075, Dec. 1986.

[3] R. Harteley et al., "A high-speed FIR filter designed by compiler," IEEE CICC 1989 proceed., 20.2.

[4] K. S. Hwang et al., "Scheduling and hardware sharing in pipelined data paths," 1989 ICCAD proceed., pp. 24-27.

[5] P. P. Vaidyanathan, "Multirate digital filters, filter banks, polyphase networks, and applications: a tutorial," IEEE Proceed., v. 78, n. 1, pp. 56-91, Jan. 1990.

[6] T. Yoshino et al., "A 100-MHz 64-tap FIR digital filter in 0.8 m BiCMOS Gate Array," IEEE JSSC, v. 25, n. 6, pp. 1494-1501, Dec. 1990.

[7] F. Balestro et al., "Design of digital filters for advanced telecommunication ASIC's using special-purpose silicon compiler," IEEE JSSC, v. 26, n. 2, pp. 1047-1055, July 1991.

[8] J. S. Lim, 'Two-Dimensional Signal and Image Processing,' Englewood cliffs, NJ:Prentice-Hall, 1990.

[9] M. Nagatani et al., "Digital signal processors decoding/encoding color TV signals," IEEE JSSC, v. 21, n. 6, pp. 964-970, Dec. 1986.

[10] B. Zehner et al., "A CMOS VLSI chip for filtering of TV pictures in two dimensions," IEEE JSSC, v. 21, n. 5, pp. 797-802, Oct. 1986.

[11] M. Abe et al., "A high-speed digital filter LSI for video signal processing," IEEE JSSC, v. 22, n. 3, pp. 396-402, June 1987.

[12] T. Miyazaki et al., "A single chip VLSI chrominance/luminance seperator based on a silicon compiler," proceed. 1989 ICASSP conf., pp. 2433-2436.

[13] T. Kawata et al., "A 25 MHz spatial filter chip for real time image processing," Proceed. 1991 ASIC conf. p3-1.

[14] U. Pestel et al., "Design of HDTV subband filterbanks considering VLSI implementation constraints," IEEE T-CAS-VT, v. 1., n. 1, pp. 14-21, March 1991.

[15] C. Joanblanq et al. "A 54-Mhz programmable video signal processor for HDTV applications," IEEE JSSC v. 25, n. 3, pp. 730-734, June 1990.

[16] W. Kamp et al., "Programmable 2D linear filter for video applictions," IEEE JSSC v. 25, n. 3, pp. 735-740, June 1990.

[17] K. K. Parhi, D. G. Messerschmitt, "Pipeline interleaving and parallelism in resursive digital filters," IEEE T-ASSP., v. 37, n. 7, pp. 1099-1134, July 1989.

[18] S. Y. Kung, VLSI array processors, PH 1988.

[19] C-W Wu, "Bit-level pipelined 2-D digital filters for real-time image processing," IEEE T-CAS-VT, v. 1., n. 1., pp. 22-34, March 1991.

[20] A. N. Venetsanopoulos et al., "High-speed architecture for digital image processing," IEEE T-CAS, v. 34, n. 8, pp. 887-896, Aug. 1987.

[21] S. A. White, "Applications of distributed arithmetic to digital signal processing," IEEE ASSP mag., v. 6, n. 3, pp. 4-19, July 1989.

[22] N. R. Shanbhag et al., "A single-chip pipelined 2-D FIR filter using residue arithmetic," IEEE JSSC v. 26, n. 5, pp. 795-805, May 1991.

[23] A. M. Dewey et al., 'Principles of VLSI system planning:a framework for conceptual design,' KAP 1990.

[24] P. M. Embree, B. Kimble, 'C language algorithms for digital signal processing,' PH 1991.

송 낙 운

1975년 서울대학교 전자공학과 졸업(학사)
1986년 Univ. Texas Austin(Ph.D)
1986년~1989년 금성반도체 근무
1989년 홍익대 전자공학과 부교수
관심분야:VLSI시스템 자동화 설계

김 종 준

1971년~1975년 서울대학교 공과대학 섬유공학과
1975년~1987년 동양나이론 중앙연구소
1987년~1992년 North Carolina State Univ. College of Textiles(MS & PhD)
1993년~1994년 Post-doctor(NCSU)
1994년~현재 이화여대 의류직물학과 조교수